

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月18日

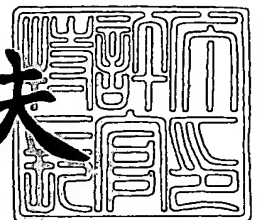
出願番号
Application Number: 特願2002-366600
[ST. 10/C]: [JP2002-366600]

出願人
Applicant(s): 株式会社半導体エネルギー研究所

2003年10月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3088966

【書類名】 特許願

【整理番号】 P006809

【提出日】 平成14年12月18日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 加藤 清

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶素子、半導体記憶装置及びその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は、金属元素を $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ の濃度で含み、

前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、

前記多結晶半導体膜を構成する結晶粒の粒界は平坦である、もしくは凹部を形成していることを特徴とする半導体記憶素子。

【請求項 2】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は、金属元素を $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ の濃度で含み、

前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、

前記多結晶半導体膜を構成する結晶粒の粒界は平坦である、もしくは凹部を形成していることを特徴とする半導体記憶素子。

【請求項 3】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は、金属元素を $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ の濃度で含み、

前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、前記チャネル領域の表面粗さは、P-V値 $0.1\text{ nm} \sim 60\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項 4】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第1ゲート絶縁膜、電荷蓄積層、第2ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は、金属元素を $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ の濃度で含み、

前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、

前記チャネル領域の表面粗さは、P-V値 $0.1\text{ nm} \sim 60\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項 5】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第1ゲート絶縁膜、電荷蓄積層、第2ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は、金属元素を $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ の濃度で含み、

前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、

前記チャネル領域の表面粗さは、rms値 $0.1\text{ nm} \sim 5\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項 6】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第1ゲート絶縁膜、電荷蓄積層、第2ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は、金属元素を $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ の濃度

で含み、

前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、

前記チャネル領域の表面粗さは、 rms 値 $0.1\text{ nm} \sim 5\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項 7】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は金属元素を添加して加熱処理を行った多結晶半導体膜であり、

、

前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、

前記多結晶半導体膜を構成する結晶粒の粒界は平坦である、もしくは凹部を形成していることを特徴とする半導体記憶素子。

【請求項 8】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は金属元素を添加して加熱処理を行った多結晶半導体膜であり、

、

前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、

前記多結晶半導体膜を構成する結晶粒の粒界は平坦である、もしくは凹部を形成していることを特徴とする半導体記憶素子。

【請求項 9】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前記半導体活性層は金属元素を添加して加熱処理を行った多結晶半導体膜であり、
前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、
前記チャネル領域の表面粗さは、P-V値 $0.1\text{ nm} \sim 60\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項10】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第1ゲート絶縁膜、電荷蓄積層、第2ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、
前記半導体活性層は金属元素を添加して加熱処理を行った多結晶半導体膜であり、
前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、
前記チャネル領域の表面粗さは、P-V値 $0.1\text{ nm} \sim 60\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項11】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第1ゲート絶縁膜、電荷蓄積層、第2ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、
前記半導体活性層は金属元素を添加して加熱処理を行った多結晶半導体膜であり、
前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、
前記チャネル領域の表面粗さは、rms値 $0.1\text{ nm} \sim 5\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項12】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第1ゲート絶縁膜、電荷蓄積層、第2ゲート絶縁膜、及び制御

ゲート電極を備えた半導体記憶素子であって、
前記半導体活性層は金属元素を添加して加熱処理を行った多結晶半導体膜であり、
前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、
前記チャンネル領域の表面粗さは、 rms 値 $0.1\text{ nm} \sim 5\text{ nm}$ であることを特徴とする半導体記憶素子。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか 1 項において、前記金属元素は、 Fe 、 Ni 、 Co 、 Ge 、 Sn 、 Pd 、 Pt 、 Cu 、 Au から選ばれた一種または複数種であることを特徴とする半導体記憶素子。

【請求項 1 4】

絶縁表面を有する基板上に形成され、チャンネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、
前期半導体記憶素子のチャンネル長は $0.01\text{ }\mu\text{m} \sim 2\text{ }\mu\text{m}$ であり、
前記チャンネル領域は、レーザー光を照射する際に少なくとも同一チャンネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、
前記多結晶半導体膜を構成する結晶粒の粒界は平坦である、もしくは凹部を形成していることを特徴とする半導体記憶素子。

【請求項 1 5】

絶縁表面を有する基板上に形成され、チャンネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、
前期半導体記憶素子のチャンネル長は $0.01\text{ }\mu\text{m} \sim 2\text{ }\mu\text{m}$ であり、
前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、
前記多結晶半導体膜を構成する結晶粒の粒界は平坦である、もしくは凹部を形成していることを特徴とする半導体記憶素子。

【請求項 1 6】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前期半導体記憶素子のチャネル長は $0.01\ \mu\text{m} \sim 2\ \mu\text{m}$ であり、

前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、

前記チャネル領域の表面粗さは、P-V 値 $0.1\ \text{nm} \sim 60\ \text{nm}$ であることを特徴とする半導体記憶素子。

【請求項 1 7】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前期半導体記憶素子のチャネル長は $0.01\ \mu\text{m} \sim 2\ \mu\text{m}$ であり、

前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、

前記チャネル領域の表面粗さは、P-V 値 $0.1\ \text{nm} \sim 60\ \text{nm}$ であることを特徴とする半導体記憶素子。

【請求項 1 8】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、

前期半導体記憶素子のチャネル長は $0.01\ \mu\text{m} \sim 2\ \mu\text{m}$ であり、

前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜であり、

前記チャネル領域の表面粗さは、rms 値 $0.1\ \text{nm} \sim 5\ \text{nm}$ であることを特徴とする半導体記憶素子。

【請求項 1 9】

絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からな

る半導体活性層、第 1 ゲート絶縁膜、電荷蓄積層、第 2 ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、
前期半導体記憶素子のチャネル長は $0.01\ \mu\text{m} \sim 2\ \mu\text{m}$ であり、
前記半導体活性層は同一方向に延在する複数の結晶粒が集合してなる多結晶半導体膜であり、
前記チャネル領域の表面粗さは、rms 値 $0.1\ \text{nm} \sim 5\ \text{nm}$ であることを特徴とする半導体記憶素子。

【請求項 2 0】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の半導体記憶素子がマトリクス状に配置されてなるメモリセルアレイを有することを特徴とする半導体記憶装置。

【請求項 2 1】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の半導体記憶素子がマトリクス状に配置されてなるメモリセルアレイが、プラスチック基板上もしくはセラミック基板上に形成されていることを特徴とする半導体記憶装置。

【請求項 2 2】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の半導体記憶素子がマトリクス状に配置されてなるメモリセルアレイを有する不揮発性メモリが積層されてなる IC チップを有することを特徴とする半導体記憶装置。

【請求項 2 3】

請求項 2 0 乃至請求項 2 2 のいずれか 1 項に記載の前記半導体記憶装置は、ゲーム機、ビデオカメラ、頭部取り付け型のディスプレイ、DVD プレーヤー、パーソナルコンピュータ、携帯電話、カーオーディオから選ばれた一つであることを特徴とする半導体記憶装置。

【請求項 2 4】

絶縁表面を有する基板上の半導体記憶素子の作製方法であって、
前記絶縁表面を有する基板上に非晶質半導体膜を形成し、
前記非晶質半導体膜に結晶化を助長する金属元素を添加し、
前記非晶質半導体膜を加熱処理し、
前記非晶質半導体膜にレーザー光を照射し、少なくとも同一チャネル領域におい

て該レーザー光を連続的に走査することによって、多結晶半導体膜を形成し、前記多結晶半導体膜上に第 1 ゲート絶縁膜を形成し、前記第 1 ゲート絶縁膜に積層して電荷蓄積層、第 2 ゲート絶縁膜、および制御ゲート電極を形成することを特徴とする半導体記憶素子の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、半導体記憶素子、特に電荷蓄積層を有する薄膜トランジスタに関する。また、電荷蓄積層を有する薄膜トランジスタ、および薄膜トランジスタを絶縁表面を有する基板上に形成してなる半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

E E P R O M (Electrically Erasable and Programmable Read Only Memory) やフラッシュメモリは、半導体不揮発性メモリを代表するメモリとして知られている。これらは不揮発性であるから、半導体メモリを代表する D R A M (Dynamic Random Access Memory) や S R A M (Static RAM) と異なり、電源を切ってもデータが失われることはない。また、他の不揮発性メモリを代表する磁気ディスクと比較した場合、集積密度、耐衝撃性、消費電力、書き込み／読み出し速度、等の点において優れた特徴を有する。

【0 0 0 3】

このように半導体不揮発性メモリは携帯機器に適した特徴を有し、単結晶シリコン基板を用いたメモリチップの携帯機器への応用開発が進められている。例えば、画像や音楽データの格納用として 2 5 6 M b i t の大容量 N A N D フラッシュメモリが、また、小型化を目的としたフラッシュメモリと S R A M との積層チップなどが製品化されている。

【0 0 0 4】

一方、携帯電話などの表示部を有する携帯機器の普及を背景に、絶縁表面を有する基板上に表示部とロジック回路部を一体形成したシステムオンパネルの要求が強くなっている。これに伴い、絶縁表面を有する基板上に半導体不揮発性メモ

りを作製する技術も重要になってきた。

【0 0 0 5】

【発明が解決しようとする課題】

半導体不揮発性メモリ（以下、単に不揮発性メモリと記す）を、絶縁表面を有する基板上に作製する場合、半導体記憶素子、及びデコード回路、書き込み・読み出し回路等の周辺回路を構成する薄膜トランジスタ（以下、T F Tと記す）を多結晶半導体膜で構成する形態が考えられる。

【0 0 0 6】

このような絶縁表面を有する基板上の不揮発性メモリを考えた場合、半導体記憶素子の信頼性の改善と、集積密度の向上を重要課題として挙げることができる。

【0 0 0 7】

まず、絶縁表面を有する基板上の半導体記憶素子の信頼性に関しては、半導体活性層の表面粗さが重要である。半導体記憶素子への書き込みと消去は、半導体活性層から電荷蓄積層への電荷注入および電荷放出によって行われるが、従来の多結晶半導体膜の作製方法を用いると、半導体活性層表面の凸凹が大きく、半導体記憶素子への書き込み・消去時に、凸部に電界が集中し、半導体活性層と電荷蓄積層に挟まれたゲート絶縁膜において、局所的な劣化が生じてしまう。その結果、半導体記憶素子の信頼性が低くなる。

【0 0 0 8】

なお、従来の多結晶半導体膜の作製方法としては、エキシマレーザーによるレーザー結晶化や、熱結晶化などが挙げられる。いずれの場合も、半導体膜を構成する結晶粒の粒界に沿って表面にリッジ（尾根状の凸部）が形成され、半導体活性層表面の凸凹は大きい。

【0 0 0 9】

また、絶縁表面上の半導体記憶素子の集積密度に関しては、シリコン基板と比較して素子面積が大きいという問題がある。理由として、絶縁表面を有する基板は、シリコン基板と比較して表面の凹凸やうねりなどが大きく、微細加工が難しいこと、同一サイズのトランジスタにおいて特性が劣ること、が挙げられる。例

例えば、シリコン基板上ではチャネル長 $0.1\mu\text{m}$ 以下のトランジスタが作製されているのに対し、ガラス基板上ではチャネル長 $3\mu\text{m}$ 程度のTFETが作製されている程度であり、この場合、素子面積は約900倍となってしまう。このため、絶縁表面上の不揮発性メモリにおいて、集積密度の向上が重要課題となる。

【0010】

本発明は上記問題点を鑑みてなされたものであり、チャネル領域における活性層表面での極端な電界集中を抑え、かつ微細な半導体記憶素子を実現することで、信頼性が高く小型の不揮発性メモリを有する半導体記憶装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明は、まず、活性層表面の表面粗さを低減するために、連続発振レーザーを用いたレーザー光照射によって多結晶半導体膜を作製することを特徴とする。また、このようにして得られた、活性層表面が平坦な半導体記憶素子およびTFETの特性を向上するために、レーザー光照射による多結晶半導体膜の作製工程の前に、金属触媒を用いた加熱処理を行うことを特徴とする。

【0012】

なお、本発明でいう多結晶半導体膜とは、結晶粒の集合してなる半導体膜であり、非晶質半導体膜を公知の方法で結晶化させた膜などが含まれる。代表的には多結晶シリコン膜が適用され、その他に結晶性シリコンゲルマニウム膜、結晶性シリコンカーバイド膜などを適用することもできる。また、非晶質半導体膜とは、狭義の意味で完全な非晶質構造を有するものだけではなく、微細な結晶粒子が含まれた状態、又はいわゆる微結晶半導体膜、局所的に結晶構造を含む半導体膜を含む。代表的には非晶質シリコン膜が適用さる。

【0013】

また、半導体記憶素子とは、半導体活性層とゲート電極の間に絶縁膜によって囲まれた電荷蓄積層を有する薄膜トランジスタを指し、例えば、浮遊ゲート電極を有する構造、MNOS構造、あるいはMONOS構造の薄膜トランジスタをその範疇に含む。

【0014】

近年、高移動度を実現するTFET作製工程として、レーザー光の照射による多結晶半導体膜の作製技術が注目されている。本発明においても、レーザー光の照射による多結晶半導体膜の作製を行うが、主たる目的は、高移動度の実現ではなく、半導体膜表面の平坦化であることが特徴である。詳細は実施例に説明するが、具体的には、連続発振レーザーを用い、半導体膜にレーザー光を照射して熔融し、これを連続的に走査して結晶化させる。

【0015】

本発明において、連続的な走査とは、少なくとも半導体膜表面の平坦化を必要とする半導体素子のチャネル領域を走査する間は連続的に走査することを言う。言い換えると、該チャネル領域にレーザー光が照射されている間は、レーザー光の照射を中断しないことを特徴とする。

【0016】

このような作製方法を用いると、半導体活性層表面において、従来の多結晶半導体膜において結晶粒界に沿って形成されるリッジが形成されず、粒界は平坦であるか緩やかな凹部を形成していることが確認された。図1、図2には、本発明、及び従来の半導体記憶素子の典型的な構造（模式図）を示す。

【0017】

図2に示すのは、従来方法として、エキシマレーザーによるレーザー結晶化や、熱結晶化を用いて作製した半導体記憶素子の模式的な構造であり、(1)、(2)はそれぞれ平面図、チャネル方向断面図である。図2において、半導体記憶素子は、絶縁表面を有する基板201上に、チャネル領域202と、一对の一導電型不純物領域203、204からなる半導体活性層、第1ゲート絶縁膜205、浮遊ゲート電極206、第2ゲート絶縁膜207、制御ゲート電極208が積層された構造となっている。

【0018】

図2において、平面図に示すように、半導体膜は点線で表された結晶粒が集合して形成され、結晶粒は特に一方向に延在することなくランダムな形状となっている。また、断面図に示されているように結晶粒の境界（以下、結晶粒界と記す

）に沿って表面にリッジが形成され、半導体活性層表面の凸凹は大きくなっている。

【0019】

一方、図1に示すのは、本発明における半導体記憶素子の模式的な構造であり、(1)、(2)はそれぞれ平面図、チャネル方向断面図である。図1において、半導体記憶素子は、絶縁表面を有する基板101上に、チャネル領域102と、一対の一導電型不純物領域103、104からなる半導体活性層、第1ゲート絶縁膜105、浮遊ゲート電極106、第2ゲート絶縁膜107、制御ゲート電極108が積層された構造となっている。

【0020】

図1において、半導体膜を構成する結晶粒は一方向に延在した構造となっている。また、結晶粒界に沿って表面にリッジが形成されることはなく、粒界は平坦であるか緩やかな凹部を形成しており、半導体活性層表面は平坦になっている。

【0021】

なお、結晶粒の延在する方向は、レーザー光を走査する方向と一致する。また、本発明によって作製される半導体活性層を構成する結晶粒の大きさ（以下、グレインサイズとも呼ぶ）は、短手方向に $0.5\mu\text{m}\sim 100\mu\text{m}$ 、長手方向に $3\mu\text{m}\sim 10000\mu\text{m}$ 程度となる。

【0022】

なお、レーザーをチャネル方向に平行に走査した場合は、垂直に走査した場合と比較して、TF T及び半導体記憶素子の駆動能力は向上する。これは、結晶粒界がレーザーの走査方向とおおむね平行に形成されるため、レーザーをチャネル方向と平行に走査することによって、チャネルを横切る結晶粒界の本数を低減できるためである。

【0023】

本発明の半導体記憶装置は、半導体記憶素子を形成する基板上に、半導体記憶素子を選択するデコード回路、書き込み・読み出し回路等の周辺回路や、他の半導体集積回路を有していてもよい。その場合、メモリの高速動作を実現するために、半導体記憶素子や周辺回路や他の半導体集積回路を構成するTF Tでは、レ

ーザー光をチャネル方向に平行に走査することが好ましい。勿論、本発明では、チャネル領域の活性層表面を平坦にする目的において、レーザーの走査方向はチャネル方向に限定されない。

【0024】

なお、本発明でいう半導体記憶装置とは、EEPROM (Electrically Erasable and Programmable Read Only Memory) やフラッシュメモリといった不揮発性メモリ、および、そのような不揮発性メモリを半導体記憶部として有する半導体装置全般を指す。例えば、不揮発性メモリを半導体記憶部として有するマイクロプロセッサ、半導体表示装置（代表的には液晶表示装置およびEL表示装置）をその範疇に含む。

【0025】

なお、図1及び図2には、一例として、電荷蓄積層からなる浮遊ゲート電極を有する半導体記憶素子の形態を示した。また、不純物領域は、浮遊ゲート電極と重ならない構成を示したが、消去時（或いは書き込み時）に浮遊ゲートから電荷を引き抜く目的で、第1ゲート絶縁膜を介して浮遊ゲート電極と一部重なっていてもよい。

【0026】

次に、具体的なデータとして、多結晶半導体膜表面のAFM像および断面TEM像を図3、4に示す。

【0027】

図3（1）には従来の多結晶半導体膜のAFM像を、また、図3（2）には連続発振レーザーを用いて形成した多結晶半導体膜のAFM像を示す。

【0028】

図3において、画像301及び303は、表面の凹凸をグレースケールで表した、10 μ m四方の画像である。また、画像302及び304は、平均の高さを境界として、表面の高さを2値で表した画像と、縦方向および横方向の断面での凹凸を表したグラフである。

【0029】

図3（1）に示した半導体膜は、触媒元素としてNiを用い、熱結晶化（45

0℃、4 h)を行った試料である。図3 (1)において、多結晶半導体膜は、0.3 μm程度の形状異方性を持たない結晶粒が集合してなる様子が確認できる。また、図3 (2)に示した半導体膜は、Nd:YVO₄レーザーの第2高調波を用い、出力8 W、走査速度75 cm/sでもって走査することで結晶化を行った試料である。図3 (2)において、多結晶半導体膜は、短手方向0.2~2 μm程度、長手方向10 μm以上の横方向に延在した結晶粒が集合してなる様子が確認できる。

【0030】

各AFM像によって表面粗さを評価すると、熱結晶化による試料では、10 μm×10 μm内のP-V (peak to valley) 値で73 nm、rms (root mean square) 値で10 nmであるが、レーザー結晶化を行った試料では、10 μm×10 μm内のP-V値で38 nm、rms値 (root mean square) で3.2 nmとなっており、レーザー結晶化を行った試料が、熱結晶化を行った試料と比較して、表面が非常に平坦になっていることがわかる。

【0031】

このように、本発明において、半導体活性層の表面は、P-V値で0.1 nm~60 nm、好ましくは1~40 nmを実現することができ、rms値 (root mean square) で0.1 nm~5 nm、好ましくは1~3.5 nmを実現することができる。

【0032】

また、図4 (1)には、従来の多結晶半導体膜の断面TEM像を、図4 (2)には、連続発振レーザーを用いて形成した多結晶半導体膜の断面TEM像を示す。

【0033】

各TEM像は、ともに20万倍の倍率であり、図4において、薄膜401及び405は下地膜、薄膜402及び406は多結晶半導体膜、薄膜403、407はゲート絶縁膜、黒色の薄膜404、408はゲート電極である。

【0034】

また、図4 (1)に示した半導体膜は、触媒元素としてNiを用い、熱結晶化

(450℃、4 h)を行った試料であり、図3(2)に示した半導体膜は、Nd:YVO₄レーザーの第2高調波を用い、出力7W、走査速度50cm/sでもって走査することで結晶化を行った試料である。

【0035】

レーザー結晶化を行った試料は、多結晶半導体膜に黒っぽい模様が見られる数個所においてわずかな歪みが見られるが、全体的にはほぼ平坦であることがわかる。一方、熱結晶化を行った試料は全体に模様が入り、半導体膜表面も全体に凹凸が大きく、上層のゲート酸化膜においても凹凸が反映されている様子が見て取れる。

【0036】

このように、本発明では、連続発振レーザーを用い、半導体膜にレーザー光を照射して溶融し、これを連続的に走査して結晶化させることによって、チャネル領域において結晶粒界上のリッジが抑えられ、半導体活性層表面を非常に平坦にすることが可能となる。その結果、活性層表面において極端に電界が集中する領域が低減され、第1ゲート絶縁膜の信頼性を向上することが可能となる。

【0037】

次に、上述した方法によって作製したTFET及び半導体記憶素子を微細化してゆく場合の問題点について述べる。

【0038】

微細化を進める際には、加工精度の改善と、微細素子の特性の問題が挙げられるが、加工精度に関しては、液晶ディスプレイに通常用いられる、凹凸やうねりの大きなガラス基板上であっても、分解能の高い露光装置(i線ステッパなど)を用い、露光時の焦点深度を大きくとることで、サブミクロンまでの加工は可能である。一方、上述したレーザー光の照射による結晶化工程を用いて作製したTFETは、勿論プロセス条件にもよるが、ゲート長がサブミクロンに至る前に特性に問題が現れることがわかった。

【0039】

図5(1)に、上述したレーザーによる結晶化工程を用いて作製したTFETのVG-ID曲線を示す。本試料は、Nd:YVO₄レーザーの第2高調波を用い

、出力 7 W、走査速度 50 cm/s でもって走査することで結晶化を行った TFT であり、チャネル長 $L = 1.3 \mu\text{m}$ 、チャネル幅 $W = 8 \mu\text{m}$ 、半導体活性層膜厚 54 nm 、ゲート絶縁膜厚 55 nm である。また、 $V_D = 5 \text{ V}$ である。

【0040】

図 5 (1) に示した TFT 特性は、 $V_D = 1 \text{ V}$ では正常な振る舞いが見られるが、 $V_D = 5 \text{ V}$ ではオフ電流に明らかな異常が見られる。このことは、電源電圧 5 V では本試料がスイッチング機能をほとんど有さず、半導体記憶素子あるいは TFT として使用できないことを意味する。

【0041】

本発明はこのような特性異常を抑えるために、レーザー光照射による結晶化工程の前に、金属元素を用いた加熱処理を行うことを特徴とする。図 5 (2) には、そのような方法によって作製した TFT の $V_G - I_D$ 曲線が示されている。本試料は、レーザー光照射の条件は破線に示した試料と同じであるが、その前に金属触媒として Ni を添加した熱処理工程 (450°C 、 4 h) を行っている。チャネル長 $L = 1.3 \mu\text{m}$ 、チャネル幅 $W = 8 \mu\text{m}$ 、半導体活性層膜厚 54 nm 、ゲート絶縁膜厚 55 nm である。

【0042】

図 5 に見られるように、金属元素を用いた加熱処理を行った TFT は、これを行わない場合と異なり、 $V_D = 5 \text{ V}$ においても、オフ電流の異常はなく、正常な電流特性が確認される。

【0043】

このように、連続発振レーザーを用いた結晶化工程の前に、金属元素を用いた加熱処理を加えることによって、TFT や半導体記憶素子の微細化に伴って生じる特性異常を抑える効果があることが判明した。その結果、本発明では、より微細な TFT や半導体記憶素子を実現することが可能となる。

【0044】

勿論、ここで示したチャネル長 $L = 1.3 \mu\text{m}$ は一例である。金属元素を用いた加熱処理を行った TFT は、主に、チャネル長 $2 \mu\text{m}$ 以下において、これを行わない場合と比較して、オフ電流の異常を抑える効果が見られた。従って、本発

明において、半導体記憶素子及びT F Tのチャネル長は $L = 0.01 \mu m \sim 2 \mu m$ とすることで効果がある。

【0 0 4 5】

また、本発明における半導体記憶素子及びT F Tの作製工程では、添加した金属元素を取り除くゲッターリング工程にも依存するが、作製した半導体活性層には、金属元素が $1 \times 10^{16} / cm^3 \sim 5 \times 10^{18} / cm^3$ の濃度で含まれる場合がある。

【0 0 4 6】

本発明の作製方法を用いることで、半導体活性層表面が平坦であり、かつ、微細な半導体記憶素子およびT F Tを実現することが可能となる。半導体活性層表面が平坦であることは、半導体記憶素子の書き換え耐性が高いことを意味し、信頼性の高い不揮発性メモリを実現することができる。また同時に微細な半導体記憶素子およびT F Tを実現できることで、素子面積を縮小することができ、面積の小さい、あるいは同面積で容量の大きい不揮発性メモリを実現することができる。

【0 0 4 7】

本発明によって、絶縁表面を有する基板上に形成され、チャネル領域と一導電型不純物領域からなる半導体活性層、第1ゲート絶縁膜、電荷蓄積層、第2ゲート絶縁膜、及び制御ゲート電極を備えた半導体記憶素子であって、以下の(1)、(2)、(3)の特徴を同時に有する半導体記憶素子を実現することができる。

【0 0 4 8】

(1) 前記半導体活性層は金属元素を $1 \times 10^{16} / cm^3 \sim 5 \times 10^{18} / cm^3$ の濃度で含む、あるいは、前記半導体活性層は金属を添加した半導体膜の加熱処理を行った多結晶半導体膜である、あるいは、前記半導体記憶素子のチャネル長は $0.01 \mu m \sim 2 \mu m$ である。

(2) 前記チャネル領域は、レーザー光を照射する際に少なくとも同一チャネル領域において連続的に走査することによって結晶化された多結晶半導体膜である、あるいは、前記半導体活性層は同一方向に延在する複数の結晶粒が集合してな

る多結晶半導体膜である。

(3) 前記半導体活性層を構成する結晶粒の粒界は平坦であるか凹部を形成していること、あるいは、前記チャネル領域の表面粗さがP-V値0.1nm~60nmである、あるいは、前記チャネル領域の表面粗さがrms値0.1nm~5nmである

ことを特徴とする半導体記憶素子。

【0049】

なお、前記金属元素は、Fe、Ni、Co、Ge、Sn、Pd、Pt、Cu、Auから選ばれた一種または複数種であることが好ましい。

【0050】

本発明によって、前記半導体記憶素子がマトリクス状に配置されてなるメモリセルアレイを有することを特徴とする半導体記憶装置が提供される。

【0051】

本発明によって、前記半導体記憶素子がマトリクス状に配置されてなるメモリセルアレイが、プラスチック基板上もしくはセラミック基板上に形成されていることを特徴とする半導体記憶装置が提供される。

【0052】

本発明によって、前記半導体記憶素子がマトリクス状に配置されてなるメモリセルアレイを有する不揮発性メモリが積層されてなるICチップを有することを特徴とする半導体記憶装置が提供される。

【0053】

前記半導体記憶装置として、ゲーム機、ビデオカメラ、頭部取り付け型のディスプレイ、DVDプレーヤー、パーソナルコンピュータ、携帯電話、あるいはカーオーディオが提供される。

【0054】

本発明によって、絶縁表面を有する基板上の半導体記憶素子の作製方法であって、前記絶縁表面を有する基板上に非晶質半導体膜を形成し、前記非晶質半導体膜に結晶化を助長する金属元素を添加し、前記非晶質半導体膜を加熱処理し、前記非晶質半導体膜にレーザー光を照射し、少なくとも同一チャネル領域において

該レーザー光を連続的に走査することによって、多結晶半導体膜を形成し、前記多結晶半導体膜上に第1ゲート絶縁膜を形成し、前記第1ゲート絶縁膜に積層して電荷蓄積層、第2ゲート絶縁膜、および制御ゲート電極を形成することを特徴とする半導体記憶素子の作製方法が提供される。

【0055】

【発明の実施の形態】

（実施形態1）

本発明における多結晶半導体膜の作製方法の一形態について説明する。説明には、図6を用いる。

【0056】

まず図6（A）に示すように、基板600上に下地膜601を成膜する。基板600には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、SUS基板等を用いることができる。また、プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0057】

下地膜601は基板600中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒化酸化珪素などの絶縁膜を用いて形成する。本実施の形態では、プラズマCVD法を用いて窒化酸化珪素膜を10～400nm（好ましくは50～300nm）の膜厚になるように成膜した。

【0058】

なお下地膜601は単層であっても複数の絶縁膜を積層したものであっても良い。また、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも設ける必要はない。

【0059】

次に下地膜上に半導体膜602を形成する。半導体膜602の膜厚は25～1

00 nm (好ましくは30～60 nm) とする。なお半導体膜602は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5 atomic%程度であることが好ましい。

【0060】

次に図6 (B) に示すように、半導体膜602の表面に、重量換算で1～100 ppmのNiを含む酢酸ニッケル塩溶液をスピンコート法で塗布した。なお触媒の添加は上記方法に限定されず、スパッタ法、蒸着法、プラズマ処理などを用いて添加しても良い。

【0061】

次に、500～650℃で4～24時間、例えば570℃、14時間の加熱処理を行った。この加熱処理により、酢酸ニッケル塩溶液が塗布された表面から、基板600に向かって縦方向に結晶化が促進された半導体膜603が形成される(図6 (B))。

【0062】

なお、本実施の形態では触媒元素としてニッケル(Ni)を用いているが、その以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)といった元素を用いても良い。

【0063】

次に図6 (C) に示すように、半導体膜603にレーザー光を照射して結晶化する。多結晶半導体膜を熔融して、これを連続的に走査して結晶化させる手段としては、気体レーザー発振装置、固体レーザー発振装置を光源とする連続発振レーザー光を適用する。照射するレーザー光は光学系にて線状に集光されたものであり、その強度分布が長手方向において均一な領域を有し、短手方向に分布を持っていても良く、光源として用いるレーザー発振装置は、矩形ビーム固体レーザー発振装置が適用され、特に好ましくは、スラブレザー発振装置が適用される。

【0064】

線状に集光され長手方向に拡張されたレーザー光を非晶質半導体膜あるいは多結晶半導体膜に照射し、且つレーザー光の照射位置と半導体膜が形成された基板とを相対的に動かして、レーザー光が一部又は全面を走査することにより半導体膜を熔融させ、その状態を経て結晶化又は再結晶化を行う。

【0065】

連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を用いることで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換し、出力10Wのレーザー光を得る。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面に矩形形状または楕円形状のレーザー光に成形して、半導体膜603に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザー光に対して相対的に非晶質半導体膜604を移動させて照射する。

【0066】

なお、本発明によって得られる結晶粒は、レーザー光の走査方向に延在した形状を有し、結晶粒径は、短手方向で、0.5μm～100μm、長手方向で、1μm～10000μm程度となる。

【0067】

上述した半導体膜603へのレーザー光の照射により、結晶性がより高められた半導体膜605が形成される。

【0068】

なお、金属元素を用いて加熱処理を行った半導体膜605内には、金属元素（ここではNi）がおおよそ 1×10^{19} atoms/cm³程度の濃度で含まれていると考えられる。次に、半導体膜605内に存在する金属元素のゲッタリングを行う。

【0069】

まず、図6（D）に示すように半導体膜605の表面に酸化膜606を形成する。1～10nm程度の膜厚を有する酸化膜606を形成することで、後のエッチング工程において半導体膜605の表面がエッチングにより荒れるのを防ぐことができる。

【0070】

酸化膜606は公知の方法を用いて形成することができる。例えば、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液や、オゾン水で、半導体膜605の表面を酸化することで形成しても良いし、酸素を含む雰囲気中でのプラズマ処理や、加熱処理、紫外線照射等により形成しても良い。また酸化膜を別途、プラズマCVD法やスパッタ法、蒸着法などで形成しても良い。

【0071】

次に酸化膜606上に、希ガス元素を 1×10^{20} atoms/cm³以上の濃度で含むゲッタリング用の半導体膜607を、スパッタ法を用いて25～250nmの厚さで形成する。ゲッタリング用の半導体膜607は、半導体膜605とエッチングの選択比を大きくするため、半導体膜605よりも膜の密度の低い方がより望ましい。

【0072】

希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。

【0073】

次にファーネスアニール法やRTA法を用いて加熱処理を施し、ゲッタリングを行う。ファーネスアニール法で行う場合には、窒素雰囲気中にて450～600℃で0.5～12時間の加熱処理を行う。また、RTA法を用いる場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは700～750℃程度にまで加熱されるようにする。

【 0 0 7 4 】

加熱処理により、半導体膜 6 0 5 内の触媒元素が、拡散により矢印に示すようにゲッターリング用の半導体膜 6 0 7 に移動し、ゲッターリングされる。

【 0 0 7 5 】

次にゲッターリング用の半導体膜 6 0 7 をエッチングして除去する。エッチングは、 CF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムヒドロオキシド ($(\text{CH}_3)_4\text{NOH}$) を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時酸化膜 6 0 6 によって半導体膜 6 0 5 がエッチングされるのを防ぐことができる。

【 0 0 7 6 】

次に酸化膜 6 0 6 を、フッ酸により除去する。

【 0 0 7 7 】

なお、本発明においてゲッターリング工程は、本実施の形態に示した方法に限定されない。その他の方法を用いて半導体膜中の金属元素を低減するようにしても良い。

【 0 0 7 8 】

次に、図 6 (E) に示すように半導体膜 6 0 3 をパターンニングし、島状の半導体膜 6 0 8 ~ 6 1 0 が形成され、該島状の半導体膜 6 0 8 ~ 6 1 0 を用いて半導体記憶素子や T F T が形成される。

【 0 0 7 9 】

なお、本実施形態のように、レーザー光の照射による結晶化を行うことで、表面が非常に平坦な半導体膜を作製することができる。また、金属元素の添加と熱処理工程によって、これを行わない場合と比較してより微細な T F T を作製することができる。

【 0 0 8 0 】

そして、上記のように作製した半導体膜を、半導体記憶素子および T F T の活性層として用いることにより、信頼性が高く、小型の不揮発性メモリを有する半導体記憶装置を実現することができる。

【 0 0 8 1 】

(実施形態 2)

次に、実施形態 1 で説明した作製方法に従って形成した島状半導体膜を用いて、不揮発性メモリを作製する一形態について説明する。説明には図 7 を用いる。

【0082】

本実施形態では、メモリセルと周辺回路を同時に作製する形態を示し、図面の右側には半導体記憶素子の作製工程を、左側には、周辺回路を代表する n チャネル型 T F T と p チャネル型 T F T の作製工程を示す。

なお、T F T はシングルドレイン構造とし、半導体記憶素子には消去時に電荷を引き抜くためのオーバーラップ領域を設ける構造とする。

【0083】

図 7 (A) に示す島状半導体膜 701 ~ 703 は、実施形態 1 に従って作製する。このとき、表面粗さの観点からは、レーザー光の走査方向は任意で構わないが、半導体記憶素子や T F T の駆動能力を向上する目的において、レーザー光の走査方向をチャネル方向と平行にすることが好ましい。また、互いのばらつきを抑えたい素子間において、チャネル方向とレーザー光の走査方向のなす角を同一にしておくことが好ましい。

【0084】

まず、第 1 ゲート絶縁膜 704 としてプラズマ C V D 法またはスパッタ法を用い、10 ~ 200 nm の酸化珪素膜又は酸窒化珪素膜を形成する。

【0085】

なお、絶縁表面を有する基板として石英基板を用いる場合には、半導体記憶素子の第 1 ゲート絶縁膜を、熱酸化工程により形成してもよい。例えば、酸化雰囲気中で 950℃ の加熱処理を加え、10 ~ 200 nm の熱酸化膜を形成する。これにより、良質な酸化膜と界面準位の少ない半導体 / 絶縁膜界面が得られ、第 1 ゲート絶縁膜の高い信頼性が得られる。また、第 1 ゲート絶縁膜は、酸化珪素膜又は酸窒化珪素膜を形成した後、熱酸化工程を行い、堆積膜と熱酸化膜の積層構造としてもよい。

【0086】

次に、レジストマスク (図示せず) を形成し、n 型を付与する不純物元素を選

択的に添加し、半導体記憶素子のオーバーラップ領域として機能する n 型不純物領域 705 を形成する。ドーピングは、代表的な方法としてフォスフィン (PH₃) を用いたイオンドーピング法で行う。n 型不純物元素としては、リン (P) の他に砒素 (As) を用いてもよい。

【0087】

次に、図 7 (B) に示すように、第 1 ゲート絶縁膜 704 上にゲート電極 711、712 および浮遊ゲート電極 713 を形成する。ゲート電極 711、712 および浮遊ゲート電極 713 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、前記元素を主成分とする合金、あるいは多結晶シリコンなどで形成すれば良い。

【0088】

その後、ゲート電極 711、712 および浮遊ゲート電極 713 をマスクとして自己整合的に n 型不純物元素及び p 型不純物元素をそれぞれ添加し、n チャネル型 TFT のソース領域またはドレイン領域として機能する高濃度 n 型不純物領域 714 ~ 717、及び p チャネル型 TFT のソース領域またはドレイン領域として機能する高濃度 p 型不純物領域 718、719 を形成する。n 型を付与する不純物元素にはリン (P) あるいは砒素 (As) を、p 型を付与する不純物元素にはボロン (B) を、それぞれ用いる。

【0089】

次に、図 7 (C) に示すように、第 2 ゲート絶縁膜 721 として、プラズマ CVD 法またはスパッタ法を用い、10 ~ 200 nm の酸化珪素膜又は酸窒化珪素膜を形成する。なお、第 2 のゲート絶縁膜 721 として、SiO₂/SiN/SiO₂ による積層膜 (ONO 膜と呼ばれる) を用いても良い。

【0090】

その後、n 型または p 型不純物元素の活性化を行う。活性化手段としては、ファーネスアニール、レーザーアニール、ランプアニール、またはこれらを組み合わせた方法を用いるとよい。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700 °C で行う。

【0091】

次に、200～400nmの導電膜を形成し、パターニングを行い制御ゲート電極722を形成する。制御ゲート電極722はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、前記元素を主成分とする合金、あるいは多結晶シリコンなどで形成すれば良い。

【0092】

その後、図7（D）に示すように、制御ゲート電極722および第2ゲート絶縁膜721上に、窒化珪素膜又は酸窒化珪素膜による層間絶縁膜723を形成し、層間絶縁膜723にコンタクトホールを形成し、ソースまたはドレイン配線724～728を形成する。その後、400～450℃に熱処理をすることにより窒化珪素膜又は酸窒化珪素膜が含有する水素が放出され島状の半導体膜に対する水素化を行うことができる。

【0093】

こうして、図7（D）に示すように、半導体記憶素子と、nチャネル型TF T及びpチャネル型TF Tからなる周辺回路と、を同時に形成することができる。本作製工程により、NOR型、NAND型といった公知のメモリセルアレイや、CMOS回路あるいは単極性TF Tからなる周辺回路を作製することができる。

【0094】

また、本実施形態により、周辺回路だけではなく、nチャネル型TF T及びpチャネル型TF Tからなるあらゆる回路を作製することが可能となる。特に、CPUや様々なコントローラを同時に形成することも可能であるし、液晶表示装置あるいは発光装置の画素や駆動回路を同時に形成することも可能となる。

【0095】

なお、本実施形態では、シングルドレイン構造を作製する場合について説明したが、フォトレジストをマスクとする方法などの公知の方法を用いて、適宜、低濃度ドレイン領域を設けてもよい。

【0096】

このようにして、活性層表面が平坦で、かつ、微細な半導体記憶素子およびTF Tを絶縁表面を有する基板上に同時に作製することが可能となる。その結果、信頼性が高く小型で、かつメモリセルアレイ及び周辺回路が同一基板上に形成され

た不揮発性メモリを有する半導体記憶装置を実現することが可能となる。

【0097】

(実施例1)

本発明の半導体記憶装置の実施例として、不揮発性メモリの回路構成と動作方法について説明する。

【0098】

本発明は、半導体記憶素子の構造や半導体活性層、及びその作製方法に特徴があり、メモリセルの回路構成や動作方法には公知の技術を用いることができる。本実施の形態では、NOR型フラッシュメモリの典型的な回路構成と動作方法について簡単に説明する。

【0099】

図8に、 $m \times n$ ビットの記憶容量を有するNOR型フラッシュメモリのブロック回路図を示す。図8に示したNOR型フラッシュメモリは、複数のメモリセル(1, 1) ~ (n, m)が縦 m 個×横 n 個のマトリクス状に配置されたメモリセルアレイ801と、Xアドレスデコーダ803、Yアドレスデコーダ802、Yセクタ804、書き込み・読み出し回路805といった周辺回路によって構成されている。他の周辺回路として、昇圧回路、アドレスバッファ回路等が設けられてもよい。

【0100】

各メモリセル(代表として、メモリセル(i, j))を考える。ここで、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数)は、 n チャネル型の半導体記憶素子によって構成される。そして、半導体記憶素子のドレイン電極と制御ゲート電極は、ビット線BL(i)とワード線WL(j)にそれぞれ接続されている。また、ビット線BL(1) ~ BL(n)はYアドレスデコーダ802に、ワード線WL(1) ~ WL(m)はXアドレスデコーダ803にそれぞれ接続されている。また、全ての半導体記憶素子のソース電極は共通のソース線に接続されており、ソース線電位 V_s が与えられている。

【0101】

データの書き込みと読み出しは、Xアドレスデコーダ803およびYアドレス

デコーダ 802 によって選択されたメモリセルにおいて行われる。メモリセル (1, 1) を例にとり、ホットエレクトロンによる書き込み動作、読み出し動作について説明する。

【0102】

まず、半導体記憶素子にデータを書き込む場合は、ソース線を GND に落とし、ビット線 BL (1) およびワード線 WL (1) に、それぞれ正の高電圧 (例えば 16 V) を印加する。このような条件下では、半導体記憶素子のドレイン近傍で高電界により、インパクトイオン化が起こる。さらにゲート方向にも高電界が生じるために、発生したホットエレクトロンは浮遊ゲート電極に注入され、書き込みが行われる。半導体記憶素子のしきい値電圧は、浮遊ゲート電極に蓄積された電荷量に応じて変化する。

【0103】

半導体記憶素子に格納されたデータを読み出す場合は、ソース線を GND に落とし、ワード線 WL (1) に所定の電圧を印加する。所定の電圧は、書き込み後のしきい値電圧と消去後のしきい値電圧との間に設定すればよい。その結果、消去後の半導体記憶素子のみがオン状態となることを利用して、メモリセル (1, 1) に記憶されているデータをビット線 BL (1) から読み出す。

【0104】

例えば、半導体記憶素子の 2 状態のしきい値電圧がそれぞれ 2 V 以下、および 4 V 以上である場合には、所定の電圧として 3 V を用いることができる。

【0105】

データの消去は、選択された複数のメモリセルに対して同時に行われる。例えば、第 1 列目のメモリセル (1, 1) ~ (m, 1) を消去する場合、ソース線およびワード線 W1 を GND に落とし、ビット線 B1 に正の高電圧 (例えば 20 V) を印加する。この時、半導体記憶素子のゲート・ドレイン間に高い電位差が生じるため、浮遊ゲート電極に蓄積されている電子がトンネル電流によってドレイン領域へ放出され、消去が行われる。このように、半導体記憶素子のドレイン領域から電荷を引き抜く場合には、ドレイン側の高濃度不純物領域と浮遊ゲート電極とが第 1 ゲート絶縁膜を介して一部重なっていることが好ましい。

【0106】

なお、書き込み、読み出しおよび消去時において選択されていない信号線BL(2)～BL(n)、WL(2)～WL(m)の電位は全て0Vとすればよい。また、上述した動作電圧の値は一例であって、その値に限られるわけではない。

【0107】

なお、本実施例では、1つの半導体記憶素子に2値(1ビット)の情報を格納する場合を説明したが、しきい値電圧の制御をより正確に行うことによって、1つの半導体記憶素子に3値以上の情報を格納する多値の不揮発性メモリとすることも可能である。また、1つの半導体記憶素子と1つの選択用のTFETでもってメモリセルを構成するタイプの不揮発性メモリであってもよいし、選択用のTFETと半導体記憶素子との役割を合わせ持つスプリットゲート構造の半導体記憶素子でもってメモリセルを構成するタイプの不揮発性メモリであっても構わない。

【0108】

(実施例2)

本実施例では、実施例1に示した不揮発性メモリの回路構成とは異なる例として、NAND型フラッシュメモリの説明を行う。

【0109】

図9は、nチャネル型半導体記憶素子が縦8個×横n個のマトリクス状に配列されたNAND型のメモリセルアレイの回路図である(両端の列のみ図示)。

【0110】

図8において、同じ列に配置された8つの半導体記憶素子(i, 1)～(i, 8)(i=1～n)は直列に接続されると共に、チャネル形成領域が配線Giに接続されている。配線G1～Gnは共通配線となっており、電位Vbが与えられる。また、同じ行に配置されたn個の半導体記憶素子(1, j)～(n, j)(j=1～8)は、制御ゲート電極がワード線Wjに接続されている。

【0111】

直列に接続された8つの半導体記憶素子(i, 1)～(i, 8)(i=1～n)の両端には、選択用TFET(i, 0)及び(i, 9)が直列に接続されている。そして、選択用TFET(i, 0)のソース電極及びドレイン電極の残る一方に

はビット線 B_i が接続されており、ゲート電極には選択用ゲート線 S_1 が接続されている。また、選択用 T F T (i , 9) のソース電極及びドレイン電極の残る一方には共通のソース電位 V_s が与えられており、ゲート電極には選択用ゲート線 S_2 が接続されている。

【0112】

NAND型フラッシュメモリの動作方法について述べる。ここでは、トンネル電流による一括消去と、トンネル電流による一行同時書き込みの方法について説明する。

【0113】

本実施例において、“0”の状態とは半導体記憶素子の浮遊ゲート電極に電荷を注入した状態を指し、“1”の状態とは半導体記憶素子の浮遊ゲート電極から電荷が放出された状態を指す。また、“0”の状態の半導体記憶素子のしきい値電圧は $0.5\text{ V} \sim 3\text{ V}$ であるとし、“1”の状態の半導体記憶素子のしきい値電圧は -1 V 以下であるとする。

【0114】

まず、一行同時書き込みについて述べる。具体例として、一行目の同時書き込みを考え、半導体記憶素子 (1 , 1) に“0”を、半導体記憶素子 (2 , 1) ~ (n , 1) に“1”を書き込む場合を説明する。なお、書き込む直前は全て“1”の状態とする。まず、電位 V_b とソース電位 V_s を GND に落す。また、選択用ゲート線 S_1 、 S_2 にそれぞれ 20 V 、 0 V を印加し、選択用 T F T (1 , 0) ~ (n , 0) をオンの状態に、選択用 T F T (1 , 9) ~ (n , 9) をオフの状態にする。そしてワード線 W_1 に 20 V 、ワード線 $W_2 \sim W_8$ に 7 V を印加すると共に、ビット線 B_1 に 0 V 、ビット線 $B_2 \sim B_n$ に 7 V を印加する。

【0115】

その結果、半導体記憶素子 (1 , 1) の浮遊ゲート電極—チャネル形成領域間—にのみ高電圧 (約 20 V) が印加され、トンネル電流による浮遊ゲート電極への電荷注入が行われる。つまり、“0”が書き込まれる。また、半導体記憶素子 (2 , 1) ~ (n , 1) の浮遊ゲート電極—チャネル形成領域間—には 14 V 程度の電位差が生じるのみであり、トンネル電流による浮遊ゲート電極への電荷注入は行

われない。つまり、半導体記憶素子 (2, 1) ~ (n, 1) は "1" の状態のままとなる。また、一行目以外の半導体記憶素子についても、浮遊ゲート電極—チャンネル形成領域間に高々 7 V の電位差が生じるだけであり、浮遊ゲート電極への電荷注入は行われない。このようにして、一行同時書き込みが行われる。

【0116】

半導体記憶素子 (1, 1) からの読み出しを行う場合は、まず、電位 V_b を GND に落とし、ワード線 W_1 に 0 V、ワード線 $W_2 \sim W_8$ に 5 V を印加する。これにより、2 行目から 8 行目の半導体記憶素子は全てオンの状態となる。また、1 行目の半導体記憶素子は、"1" の状態であればオンの状態となり、"0" の状態であればオフの状態となる。つまり、直列に接続された 8 つの半導体記憶素子の導通、非導通は、1 行目の半導体記憶素子の状態で決まることになる。そして、選択用ゲート線 S_1 、 S_2 に 5 V を印加し選択用 TFT をオンの状態とすると共に、ソース電位 V_s を GND に落すことにより、ビット線 B_1 を通して、半導体記憶素子 (1, 1) からのデータの読み出しを行うことが可能となる。

【0117】

一括消去を行う場合は、全てのワード線 $W_1 \sim W_8$ を 0 V とし、電位 V_b を 20 V とする。その結果、浮遊ゲート電極—チャンネル形成領域間に高電圧が印加され、トンネル電流による消去が行われる。なお、選択用ゲート線の電位は自由に決めて良いが、ゲート酸化膜に強い電界が生じないように、電位 V_b と同程度の電圧を印加することが好ましい。

【0118】

なお、上述した動作電圧の値は、一例であって、その値に限られるわけではない。また、本実施例では、縦 8 個 \times 横 n 個のメモリセルアレイについて説明したが、この構成に限定する必要はない。

【0119】

本発明は、このような NAND 型フラッシュメモリに対しても適用することができ、信頼性が高く、小型のメモリを実現することができる。

【0120】

(実施例 3)

本実施例では、結晶化に際し適用することのできるレーザー処理装置の構成の一例を示す。

【0121】

図10はレーザー発振装置1001a、1001b、シャッター1002、高変換ミラー1003～1006、シリンдриカルレンズ1008、1009、スリット1007、載置台1011、載置台1011をX方向及びY方向に変位させる駆動手段1012、1013、当該駆動手段をコントロールする制御手段1014、予め記憶されたプログラムに基づいてレーザー発振装置1001や制御手段1014に信号を送る情報処理手段1015などから成っているレーザー処理装置の構成を正面図と側面図により示すものである。

【0122】

レーザー発振装置は矩形ビーム固体レーザー発振装置が適用され、特に好ましくは、スラブレザー発振装置が適用される。或いは、YAG、YVO₄、YLF、YAlO₃などの結晶にNd、Tm、Hoをドープした結晶を使った固体レーザー発振装置にスラブ構造増幅器を組み合わせたものでも良い。スラブ材料としては、Nd:YAG、Nd:GGG（ガドリニウム・ガリウム・ガーネット）、Nd:GsGG（ガドリニウム・スカンジウム・ガリウム・ガーネット）などの結晶が使用される。その他にも、連続発振可能な気体レーザー発振装置、固体レーザー発振装置を適用することもできる。連続発振固体レーザー発振装置としてはYAG、YVO₄、YLF、YAlO₃などの結晶にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使ったレーザー発振装置を適用する。発振波長の基本波はドープする材料によっても異なるが、1μmから2μmの波長で発振する。5W以上のより高い出力を得る為には、ダイオード励起の固体レーザー発振装置をカスケード接続しても良い。

【0123】

このようなレーザー発振装置から出力される円形状又は矩形状のレーザー光は、シリンдриカルレンズ1008、1009により照射面の断面形状において線状に集光される。また、照射面での干渉を防ぐため、高変換ミラーを適宜調節して10～80度の角度を持って斜め方向から入射する構成となっている。シリン

ドリカルレンズ 1008、1009 は合成石英製とすれば高い透過率が得られ、レンズの表面に施されるコーティングは、レーザー光の波長に対する透過率が 99% 以上を実現するために適用される。勿論、照射面の断面形状は線状に限定されず、矩形状、楕円形又は長円形など任意な形状としても構わない。

【0124】

また、連続発振レーザー光の波長は、半導体膜の光吸収係数を考慮して 400 ～ 700 nm であることが望ましい。このような波長帯の光は、波長変換素子 1010 を用いて基本波の第 2 高調波～ 4 高調波を取り出すことで得られる。波長変換素子としては ADP（リン酸二水素化アンモニウム）、 $Ba_2NaNb_5O_{15}$ （ニオブ酸バリウムナトリウム）、CdSe（セレンカドミウム）、KDP（リン酸二水素カリウム）、 $LiNbO_3$ （ニオブ酸リチウム）、Se、Te、LBO、BBO、KB₅などが適用される。特に LBO を用いることが望ましい。

【0125】

また、載置台 1011 を駆動手段 1012、1013 により二軸方向に動かすことにより基板 1020 のレーザー処理を可能としている。一方の方向への移動は基板 1020 の一辺の長さよりも長い距離を 1 ～ 200 cm/sec、好ましくは 5 ～ 50 cm/sec の等速度で連続的に移動させることが可能であり、他方へは線状ビームの長手方向と同程度の距離を不連続にステップ移動させることが可能となっている。レーザー発振装置 1001a、1001b の発振と、載置台 1011 は、マイクロプロセッサを搭載した情報処理手段 1015 により同期して作動するようになっている。

【0126】

載置台 1011 は図中で示す X 方向に直線運動をすることにより、固定された光学系から照射されるレーザー光で基板全面の処理を可能としている。位置検出手段 1016 は基板 1020 がレーザー光の照射位置にあることを検出して、その信号を情報処理手段 1015 に伝送し、情報処理手段 1015 によりレーザー発振装置 1001a、1001b の発振動作とのタイミングを同期させている。つまり、基板 1020 がレーザー光の照射位置にない時は、レーザーの発振を止めその寿命を延長させている。

【0 1 2 7】

このような構成のレーザー照射装置により基板 1 0 2 0 に照射されるレーザー光は、図中に示す X 方向又は Y 方向に相対移動させることにより半導体膜の所望の領域または全面を処理することができる。

【0 1 2 8】

なお、本実施例は、実施例 1、2 のいずれの構成とも自由に組み合わせることが可能である。

【0 1 2 9】

(実施例 4)

本実施例では、連続発振のレーザー光により結晶化した多結晶半導体膜を用いて、半導体記憶素子および T F T を形成し、転写を行うことで I C チップを作製する形態、あるいはプラスチック基板上に転写する形態について説明する。

【0 1 3 0】

まず、スパッタ法を用いて、絶縁表面を有する第 1 の基板上に金属膜を成膜する。ここでは金属膜にタングステンをを用い、膜厚を 1 0 n m ~ 2 0 0 n m、好ましくは 5 0 n m ~ 7 5 n m とする。なお本実施例では第 1 の基板上に直接金属膜を成膜するが、例えば酸化珪素、窒化珪素、窒化酸化珪素等の絶縁膜で第 1 の基板を覆ってから、金属膜を成膜するようにしても良い。

【0 1 3 1】

そして金属膜の成膜後、金属表面を酸化して金属酸化膜を形成し、さらに酸化膜を成膜する。本実施例では、金属酸化膜として酸化タングステンをプレスパッタ法により数 n m 形成し、酸化膜として酸化珪素膜を膜厚 1 5 0 n m ~ 3 0 0 n m となるように成膜する。一連の工程は、スパッタ装置を用いて大気に曝すことなく行った。

【0 1 3 2】

次にプラズマ C V D 法を用いて下地膜を成膜する。本工程より先は、実施形態 1 に説明した作製方法によって、表面が平坦な島状の多結晶半導体膜を形成することができる。

【0 1 3 3】

さらに、実施形態 2 に説明した作製方法に従って、半導体記憶素子及び T F T を図 1 4 (A) に示すように作製することができる。

【0 1 3 4】

図 1 4 (A) には、絶縁表面を有する基板 1 4 0 1 上に、金属膜 1 4 0 2、金属酸化膜 1 4 0 3、酸化膜 1 4 0 4、下地膜 1 4 0 5 が積層され、その上に半導体記憶素子及び T F T、及び配線 1 4 0 7 ~ 1 4 1 1 が形成されている。なお T F T の作製方法は、実施形態 2 に示した工程に限定されない。

【0 1 3 5】

次に、図 1 4 (B) に示すように、第 2 の層間絶縁膜 1 4 1 2 を成膜した後、コンタクトホールを形成し、該コンタクトホールを介して配線 1 4 0 7 と接続するパッド 1 4 1 3 を形成する。なお、パッド 1 4 1 3 と T F T との電気的な接続の形態は、本実施例に限定されない。

【0 1 3 6】

次に、第 2 の層間絶縁膜 1 4 1 2 及びパッド 1 4 1 3 上に保護層 1 4 1 4 を形成する。保護層 1 4 1 4 は、後に第 2 の基板を張り合わせたり剥離したりする際に、第 2 の層間絶縁膜 1 4 1 2 及びパッド 1 4 1 3 の表面を保護することができる、なおかつ第 2 の基板の剥離後に除去することが可能な材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布し、焼成することで保護層 1 4 1 4 を形成することができる。

【0 1 3 7】

次に、後の剥離を行い易くするために、金属酸化膜 1 4 0 3 を結晶化させる。結晶化により、金属酸化膜 1 4 0 3 が結晶粒界において割れやすくなり、脆性を高めることができる。本実施の形態では、4 0 0 ℃ ~ 5 5 0 ℃、0. 5 ~ 5 時間程度加熱処理を行い、結晶化を行った。

【0 1 3 8】

次に、金属酸化膜 1 4 0 3 と酸化膜 1 4 0 4 の間の密着性、または金属酸化膜 1 4 0 3 と金属膜 1 4 0 2 の間の密着性を部分的に低下させ、剥離開始のきっかけとなる部分を形成する処理を行う。具体的には、剥離しようとする領域の周縁に沿って金属酸化膜 1 4 0 3 にレーザー光を部分的に照射したり、或いは、剥離

しようとする領域の周縁に沿って外部から局所的に圧力を加えて金属酸化膜 1403 の層内または界面近傍の一部に損傷を与えたりする。例えば、スクライバー装置を用い、押し込み量を 0.1 mm～2 mm とし、圧力をかけて動かせばよい。

【0139】

次いで、図 14 (C) に示すように、両面テープ 1416 を用い、保護層 1414 に第 2 の基板 1415 を貼り付け、さらに両面テープ 1417 を用い、第 1 の基板 1401 に第 3 の基板 1418 を貼り付ける。第 3 の基板 1418 は、後の剥離工程で第 1 の基板 1401 が破損することを防ぐ。第 2 の基板 1415 および第 3 の基板 1418 としては、第 1 の基板 1401 よりも剛性の高い基板、例えば石英基板、半導体基板を用いることが好ましい。

【0140】

次いで、金属膜 1402 と酸化膜 1404 とを物理的に引き剥がす。引き剥がしは、先の工程において、金属酸化膜 1403 の金属膜 1402 または酸化膜 1404 に対する密着性が部分的に低下した領域から開始する。そして第 2 の基板 1415 側に半導体素子が、第 3 の基板 1418 側に第 1 の基板 1401 及び金属膜 1402 が、それぞれ張り付いたまま分離する。引き剥がしは比較的小さな力（例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等）で行うことができる。なお、金属酸化膜 1403 と酸化膜 1404 は、第 2 の基板 1415 側もしくは第 3 の基板 1418 側に付着する。

【0141】

このように準備された半導体記憶素子および T F T は、さまざまな基板に貼り付けて、第 2 の基板 1415 を取り除くことで、半導体素子の転写を行うことが可能となる。

【0142】

例えば I C チップを作製する場合には、図 15 (A) に示すように、接着剤 1502 でインターポーザ（プリント配線基板） 1501 と、半導体記憶素子および T F T が貼り付いた第 2 の基板 1415 とを接着し、保護層 1414 から両面テープ 1416 と第 2 の基板 1415 を順に、または同時に剥がす。

【0143】

そして図15(B)に示すように保護層1414を除去し、ワイヤボンディング法を用いて、パッド1413と端子1503をワイヤ1504で接続し、パッケージが完成する。なお、保護層1414は、水溶性の樹脂が使われているので、水に溶かして除去することができる。また、必要に応じて電極表面を洗浄処理やO₂プラズマ処理を追加してもよい。

【0144】

インターポーザ1501としては、セラミックス基板、ガラスエポキシ基板、ポリイミド基板等の公知の材料を用いることができる。また、接着剤1502としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤が挙げられる。

【0145】

なお、本実施例では溶ダーボール1505が設けられたボールグリッドアレイ型のインターポーザを用いるが、本発明はこれに限定されない。端子が周辺に配置されているリードフレーム型のインターポーザであっても良い。

【0146】

本実施例では、CSP (Chip Sized Package) によるパッケージの例を説明したが、この形態に限られない。さらに別のチップを積層したり、並列に配置することも可能であり、MCP (Multi chip Package) によるパッケージを行うこともできる。

【0147】

同様にして、プラスチック基板への転写を行うこともできる。

【0148】

まず、プラスチック基板と、半導体記憶素子およびTFTが貼り付いた第2の基板1415とを接着剤で接着し、保護層1414から両面テープ1416と第2の基板1415を順に、または同時に剥がす。そして保護層1414を除去して、プラスチック基板上への転写が完成する。

【0149】

プラスチック基板としては、2～30W/mKの高い熱伝導性を有するプラス

チック基板を用いることが好ましい。ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、またはポリフタルアミドからなる合成樹脂にセラミックスと鉛フリーハンダを混合させ、セラミックスの粒子間をネットワークのようにつながれたプラスチック基板を用いる事が好ましい。

【0150】

以上のようにして、連続発振のレーザー光により結晶化された多結晶半導体膜を用いて、半導体記憶素子およびTFTを形成し、転写を行うことでICチップを作製したり、プラスチック基板上に転写することができる。

【0151】

ICチップとしては、特にMCPによる積層型とすることで、複数の不揮発性メモリチップを積層する場合には小型大容量の不揮発性メモリチップを、不揮発性メモリチップと他のICチップを積層する場合には小型で多機能の不揮発性メモリチップを、それぞれ作製することができる。また、プラスチック基板上に形成することで、半導体基板やガラス基板と比較して頑丈であり、かつ軽量という利点がある。さらに放熱性のよい基板であれば、回路の発熱に対しても優れた形態であり好ましい。

【0152】

なお、本実施例は、実施例1～3のいずれの構成とも自由に組み合わせることが可能である。

【0153】

(実施例5)

本発明の半導体記憶装置の例として、不揮発性メモリをワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用した場合について説明する。

【0154】

図11に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア1101、フラッシュメモリ1104、クロックコントローラ1103、キャッシュメモリ1102、キャッシュコントローラ1105、

割り込みコントローラ 1106、I/Oポート 1107等から構成される。もちろん、図 11に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0155】

図 11に示すマイクロプロセッサは、実施形態に示した作製方法によって作製することができる。フラッシュメモリ 1104のメモリセルには本発明の半導体記憶素子が用いられており、周辺回路、及びCPUコア 1101を始めとする各ブロックは、半導体記憶素子と同時に形成される nチャネル型TF Tと pチャネル型TF Tによって構成されている。キャッシュメモリとしては、例えばSRAMが用いられている。

【0156】

このように本発明をマイクロプロセッサに応用することにより、信頼性が高く、小面積（あるいは大容量）の不揮発性メモリを有する半導体記憶装置を実現することができる。

【0157】

なお、本実施例は、実施の形態及び実施例 1～4のいずれの構成とも組み合わせることが可能である。

【0158】

（実施例 6）

本実施例では、絶縁表面を有する基板上に画像表示部（代表的には、液晶表示部あるいはEL表示部）、不揮発性メモリ、および他の半導体集積回路とを一体形成したシステムオンパネルの形態をとる半導体記憶装置の一例を、図 12を用いて説明する。

【0159】

図 12において、半導体記憶装置は、画素領域 1200、走査線駆動回路 1201、信号線駆動回路 1202、VRAM 1203、フラッシュメモリ 1204、CPU 1205、画像処理回路 1206、ワークメモリ 1207及びインターフェース回路 1208が、絶縁表面を有する基板 1210上に一体形成されてなる。

【0160】

図12に示した半導体記憶装置は、画像データを取り込み、または作製して、画像データの加工とフォーマット変換を行い、画像を表示する装置である。半導体記憶装置としては、例えば、ビデオカメラ、カーナビゲーション、PDA、ゲーム機等を考えることができる。

【0161】

半導体記憶装置は、それぞれの形態に応じて、入力端子から画像データの基となるデータを受信する。例えば、直接外部端子から信号を入力しても良いし、DVテープやメモリーカードとのインターフェースからの入力データであってもよい。入力端子からは、この他、キーボードからの入力信号や他の制御信号が入力される。入力された画像の基となるデータは、システムバスを介して、フラッシュメモリ1204格納にされたり、ワークメモリ1207に一時的に格納されたり、あるいは、画像処理回路1206によって画像信号に変換され、VRAMに格納される。画像処理回路1206では、MPEG規格やテープフォーマット等に従って圧縮符号化された画像データの復号処理、画像の補間やリサイズといった画像信号処理が行われる。また、入力された制御信号は、CPUや画像処理回路の制御に用いられるほか、信号線駆動回路や走査線駆動回路に入力される。

【0162】

CPU1205は、フラッシュメモリ1204、ワークメモリ1207、インターフェース回路1208、および他の回路を制御する。また、画像データの基となるデータを作成したり、加工したりする。フラッシュメモリ1204は画像データを作成または加工する場合に必要な色データや文字データを格納するメモリ領域、あるいはシステム起動時のプログラムなどが格納されるメモリ領域として用いられる。ワークメモリ1207は画像データやその基となるデータを格納するメモリ領域、CPUのワークメモリ領域等として用いられ、DRAMやSRAMが用いられる。

【0163】

信号線駆動回路1202、走査線駆動回路1201、画素領域1200によって構成される画像表示部は、画像を表示する領域である。信号線駆動回路120

2 および走査線駆動回路 1 2 0 1 には、外部からインターフェース回路を介して制御信号が入力され、信号線駆動回路 1 2 0 2 は制御信号に従って、画像処理回路 1 2 0 6 から出力され V R A M に格納された画像データを取り込み、画素領域にて画像を表示する。

【 0 1 6 4 】

図 1 2 に示す半導体記憶装置は、実施形態に示した作製方法によって作製することができる。フラッシュメモリ 1 2 0 4 のメモリセルには本発明の半導体記憶素子が用いられており、周辺回路、及び C P U 1 2 0 5 を始めとする各ブロックは、半導体記憶素子と同時に形成される n チャネル型 T F T と p チャネル型 T F T によって構成されている。

【 0 1 6 5 】

このように本発明を半導体記憶装置に応用することにより、信頼性が高く、小面積（あるいは大容量）の不揮発性メモリを有する半導体記憶装置を実現することができる。

【 0 1 6 6 】

なお、信号線駆動回路 1 2 0 2 、走査線駆動回路 1 2 0 1 、画素領域 1 2 0 0 によって構成される画像表示部と、他の回路によって構成される画像処理部とを、異なる基板上に作製してもよいし、もちろん、複数の基板を実装することで上述した半導体記憶装置を実現することも可能である。

なお、画素領域と一体形成することで、小型化、消費電力やコストの低減といった効果がある。

【 0 1 6 7 】

本実施例は、実施例 1 ～ 4 と組み合わせて用いることが可能である。

【 0 1 6 8 】

（実施例 7）

本発明を用いて様々な半導体装置を完成させることができる。その一例は、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話など）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ受像器などが挙げられる。それらの一例を図 1 3 に示す。

【0169】

図13(A)は本発明を適用してテレビ受像器を完成させる一例であり、筐体1301、支持台1302、表示部1303などにより構成されている。本発明によって作製される不揮発性メモリを実装することで、小型で信頼性の高い不揮発性メモリを内蔵したテレビ受像器を完成させることができる。

【0170】

図13(B)は本発明を適用してビデオカメラを完成させた一例であり、本体1311、表示部1312、音声入力部1313、操作スイッチ1314、バッテリー1315、受像部1316などにより構成されている。本発明によって作製される不揮発性メモリを実装することで、小型で信頼性の高い不揮発性メモリを内蔵したビデオカメラを完成させることができる。

【0171】

図13(C)は本発明を適用してノート型のパーソナルコンピュータを完成させた一例であり、本体1321、筐体1322、表示部1323、キーボード1324などにより構成されている。本発明によって作製される不揮発性メモリを実装することで、小型で信頼性の高い不揮発性メモリを内蔵したパーソナルコンピュータを完成させることができる。

【0172】

図13(D)は本発明を適用してPDA(Personal Digital Assistant)を完成させた一例であり、本体1331、スタイラス1332、表示部1333、操作ボタン1334、外部インターフェース1335などにより構成されている。本発明によって作製される不揮発性メモリを実装することで、小型で信頼性の高い不揮発性メモリを内蔵したPDAを完成させることができる。

【0173】

図13(E)は本発明を適用して音響再生装置を完成させた一例であり、具体的には車載用のオーディオ装置であり、本体1341、表示部1342、操作スイッチ1343、1344などにより構成されている。本発明によって作製される不揮発性メモリを実装することで、小型で信頼性の高い不揮発性メモリを内蔵したオーディオ装置を完成させることができる。

【0174】

図13(F)は本発明を適用してデジタルカメラを完成させた一例であり、本体1351、表示部(A)1352、接眼部1353、操作スイッチ1354、表示部(B)1355、バッテリー1356などにより構成されている。本発明によって作製される不揮発性メモリを実装することで、小型で信頼性の高い不揮発性メモリを内蔵したデジタルカメラを完成させることができる。

【0175】

図13(G)は本発明を適用して携帯電話を完成させた一例であり、本体1361、音声出力部1362、音声入力部1363、表示部1364、操作スイッチ1365、アンテナ1366などにより構成されている。本発明によって作製される不揮発性メモリを実装することで、小型で信頼性の高い不揮発性メモリを内蔵した携帯電話を完成させることができる。

【0176】

なお、ここで示す装置はごく一例であり、これらの用途に限定するものではない。

【0177】

本実施例は、実施例1～6と組み合わせて用いることが可能である。

【0178】**【発明の効果】**

本発明によって、半導体活性層表面が平坦であり、かつ、微細な半導体記憶素子およびTFTを実現することが可能となる。

【0179】

半導体活性層表面が平坦であることは、半導体記憶素子の書き換え耐性が高いことを意味し、信頼性の高い不揮発性メモリを実現することができる。また同時に微細な半導体記憶素子およびTFTを実現できることで、素子面積を縮小することができるため、面積の小さい不揮発性メモリを実現することができる。

【0180】

その結果、信頼性が高く小型の不揮発性メモリを有する半導体記憶装置を実現することが可能となる。

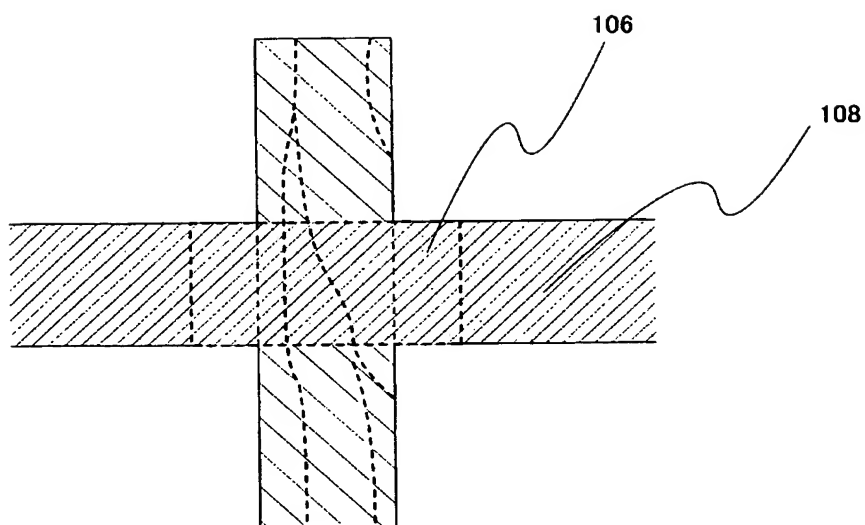
【図面の簡単な説明】

- 【図 1】 本発明の半導体記憶素子の平面図及び断面図。
- 【図 2】 従来の半導体記憶素子の平面図及び断面図。
- 【図 3】 半導体膜表面の A F M 像。
- 【図 4】 半導体膜の断面透過電子顕微鏡 (T E M) 写真。
- 【図 5】 本発明における半導体素子の電流特性。
- 【図 6】 本発明の半導体記憶素子の作製工程を説明する断面図。
- 【図 7】 本発明の半導体記憶素子の作製工程を説明する断面図。
- 【図 8】 N O R 型不揮発性メモリのブロック回路図。
- 【図 9】 N A N D 型不揮発性メモリのブロック回路図。
- 【図 1 0】 本発明に適用するレーザー照射装置の一態様を示す配置図。
- 【図 1 1】 マイクロプロセッサの一例を示す図。
- 【図 1 2】 半導体記憶装置の一例を示す図。
- 【図 1 3】 半導体記憶装置の一例を示す図。
- 【図 1 4】 本発明の半導体記憶素子の作製工程を説明する断面図。
- 【図 1 5】 本発明の半導体記憶素子の作製工程を説明する断面図。

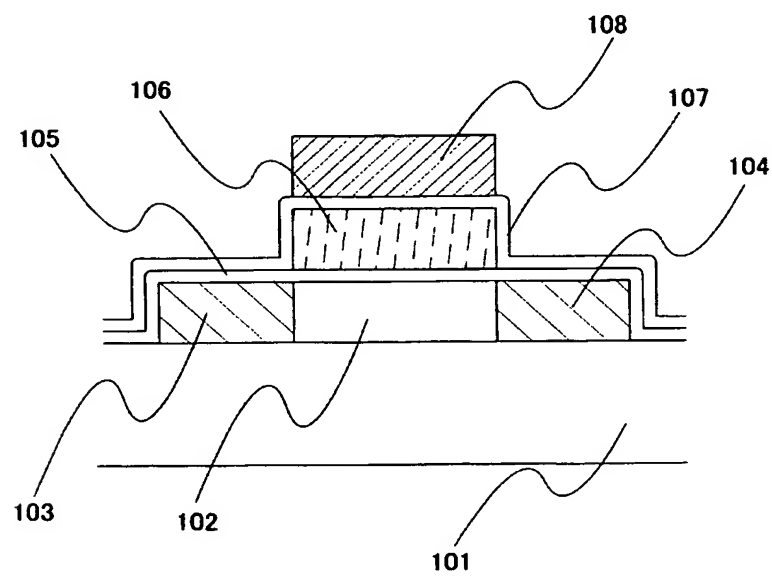
【書類名】 図面

【図 1】

(1)

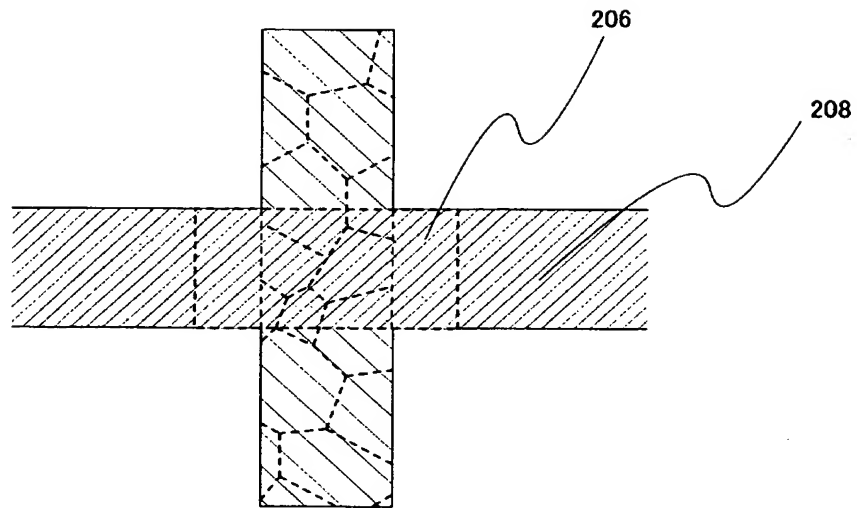


(2)

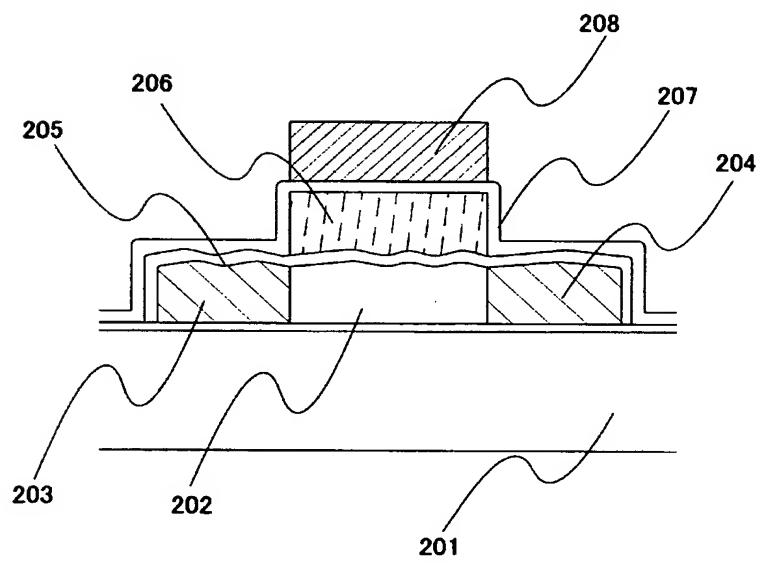


【図 2】

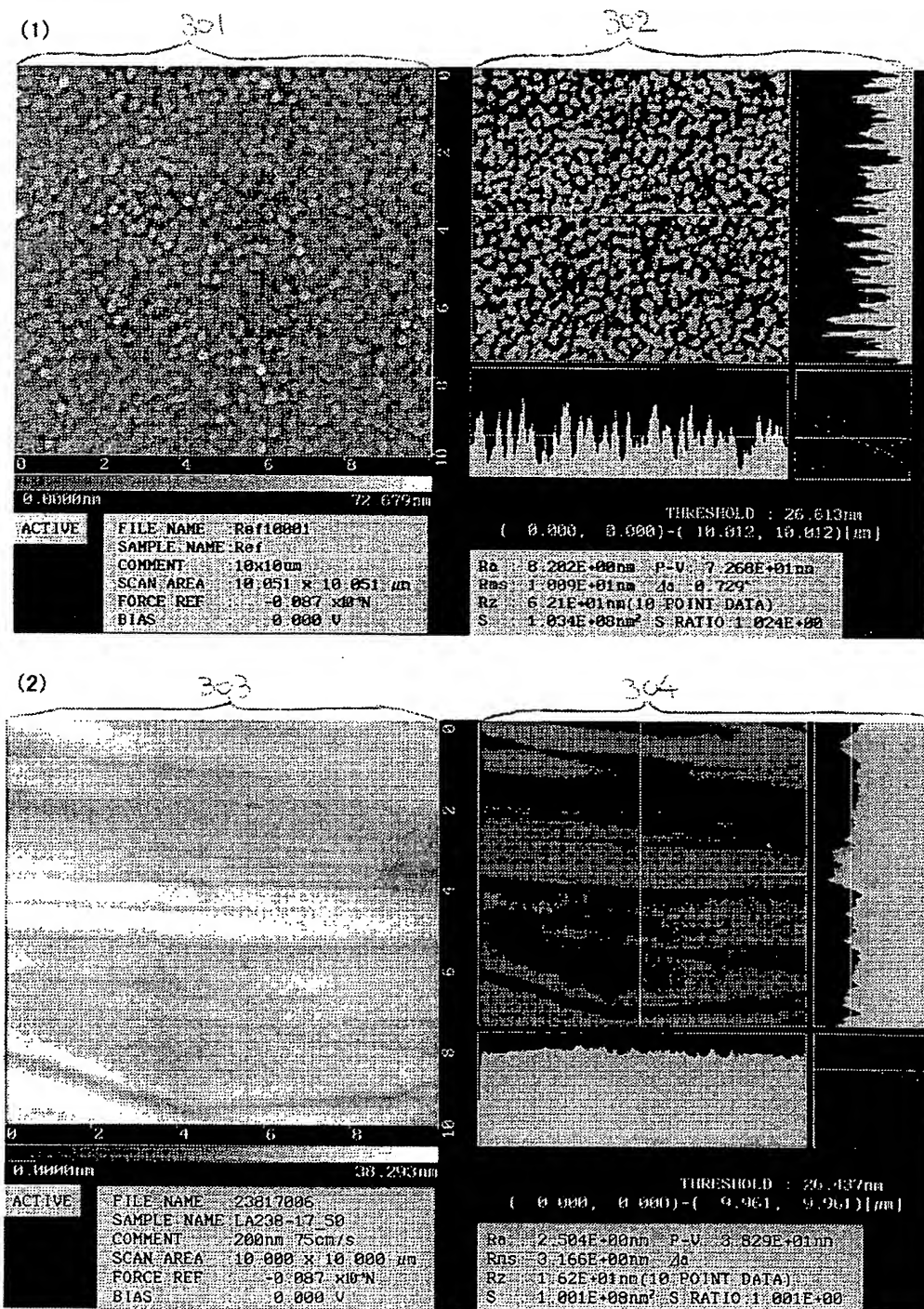
(1)



(2)

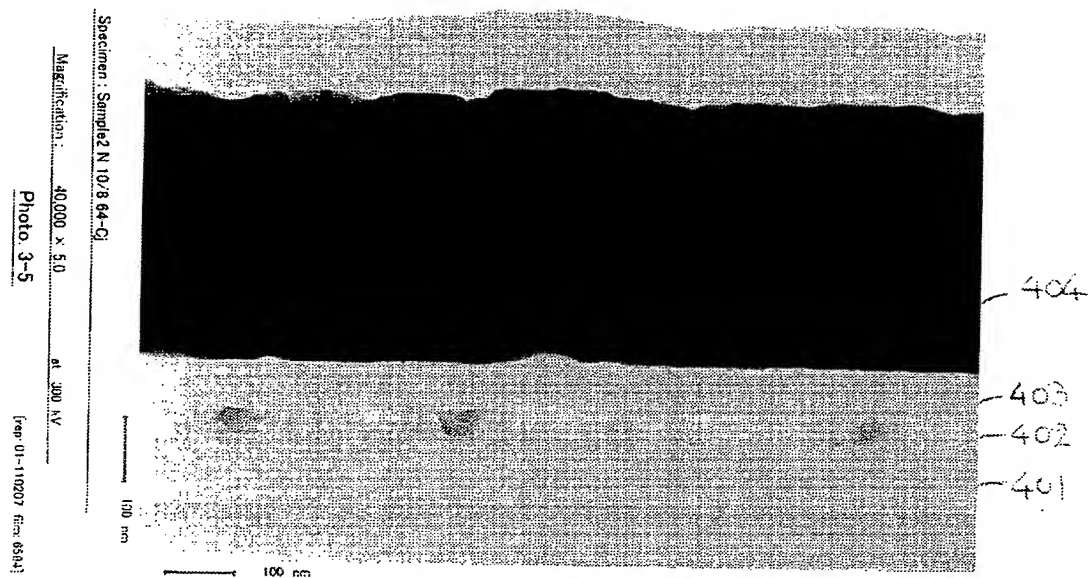


【図 3】

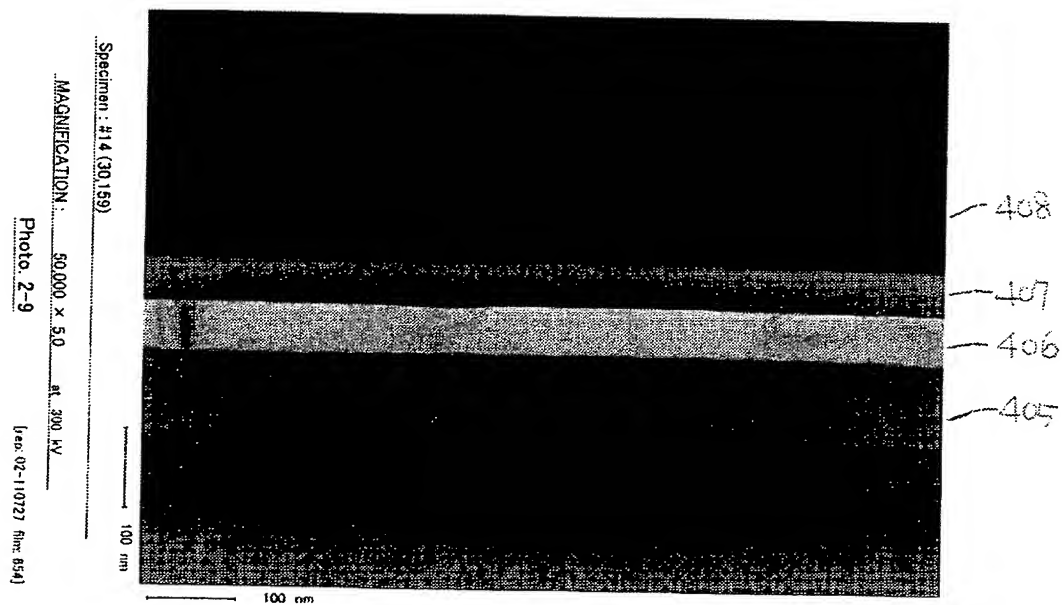


【図 4】

(1)

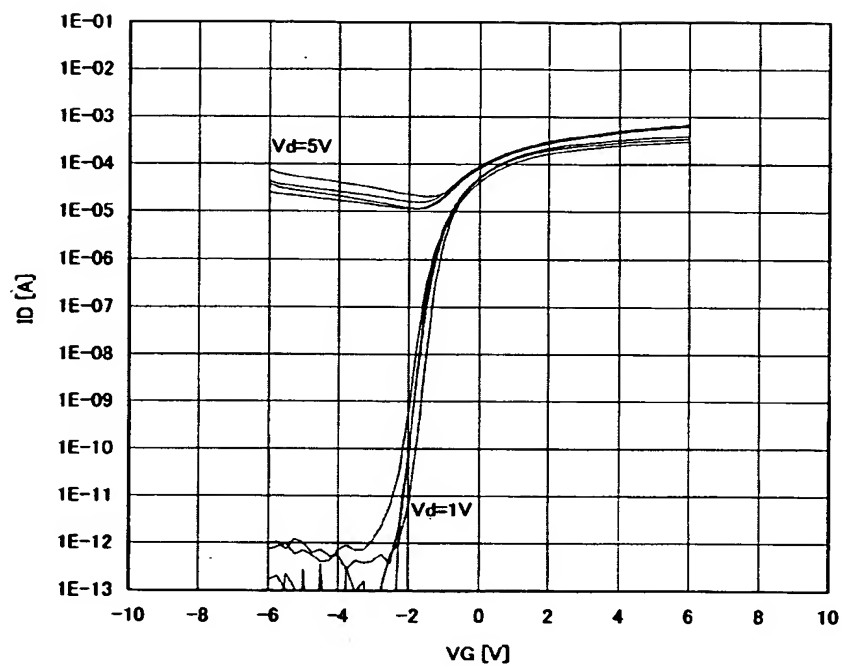


(2)

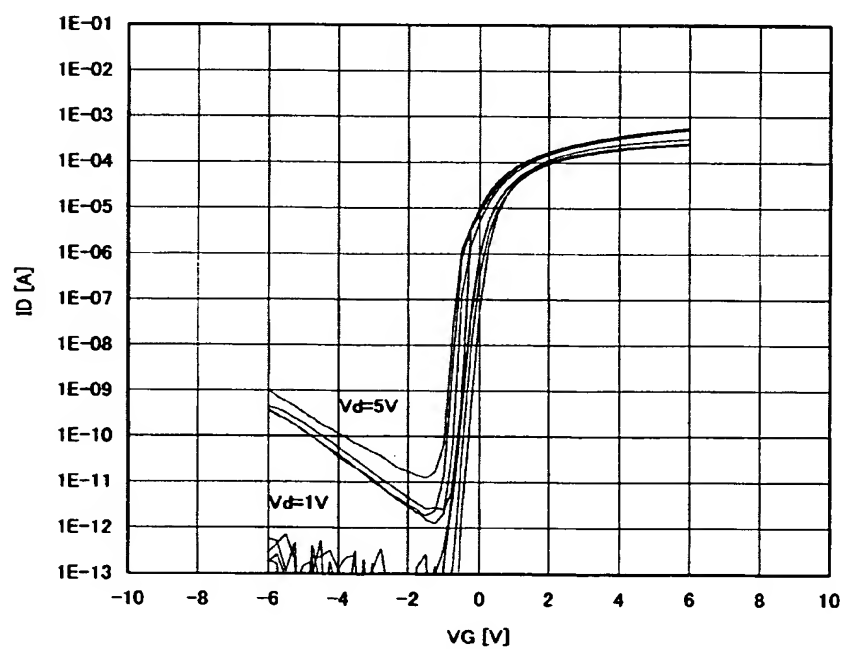


【図 5】

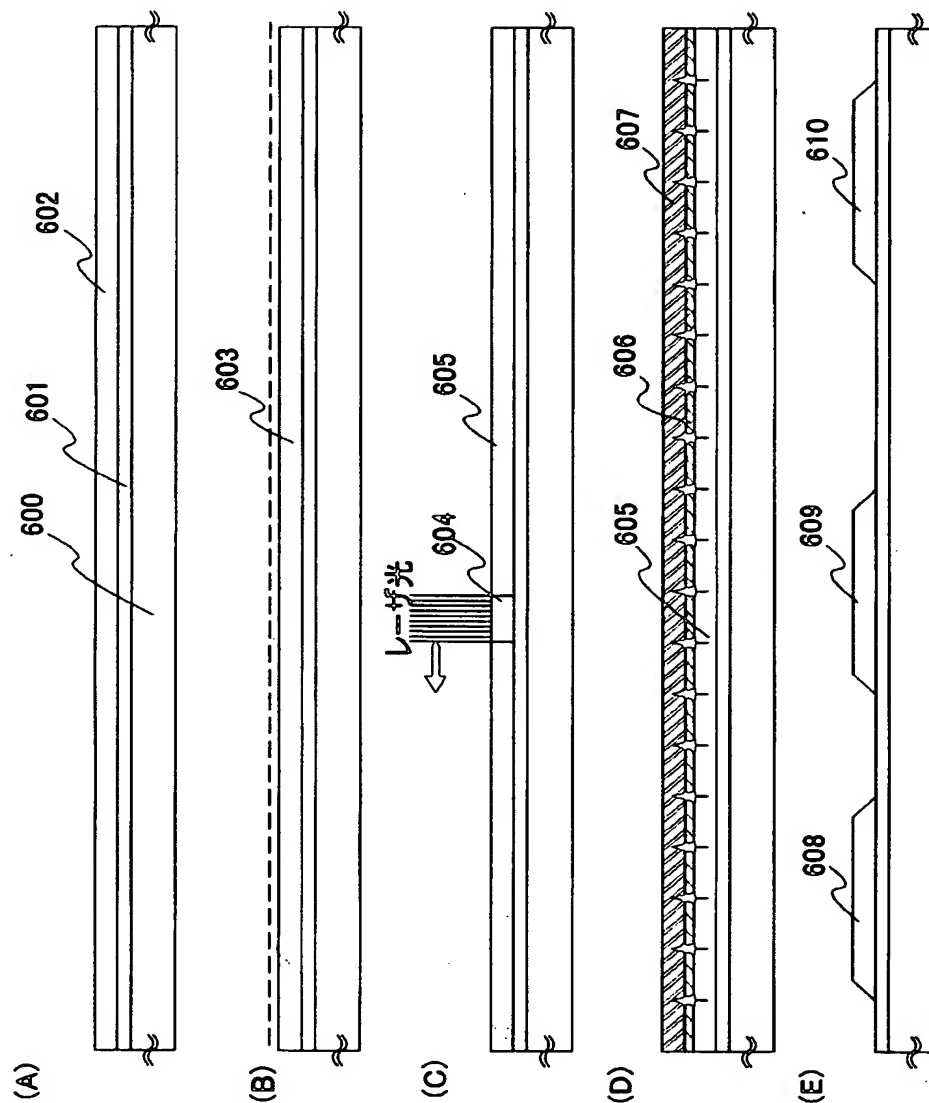
(1)



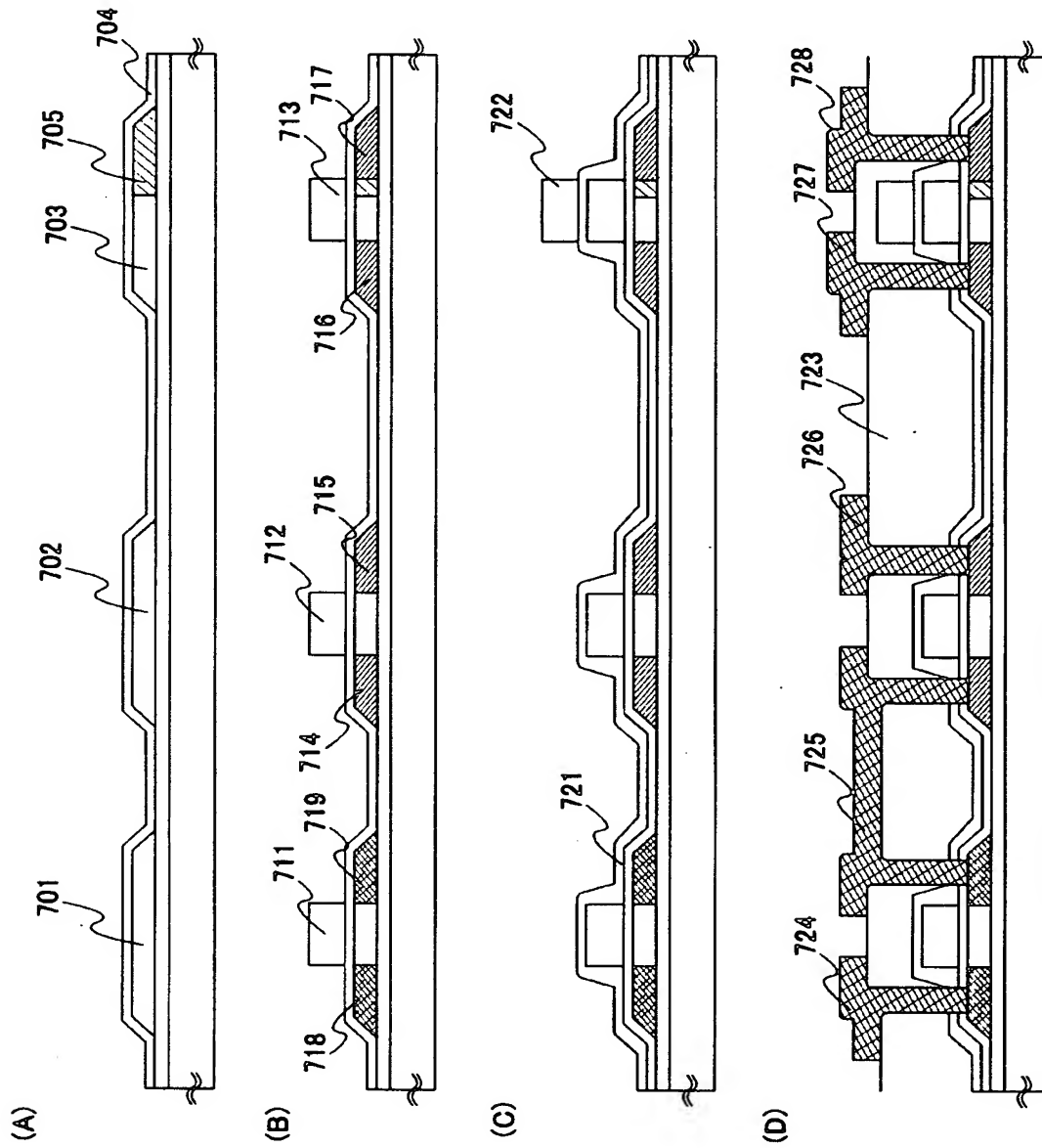
(2)



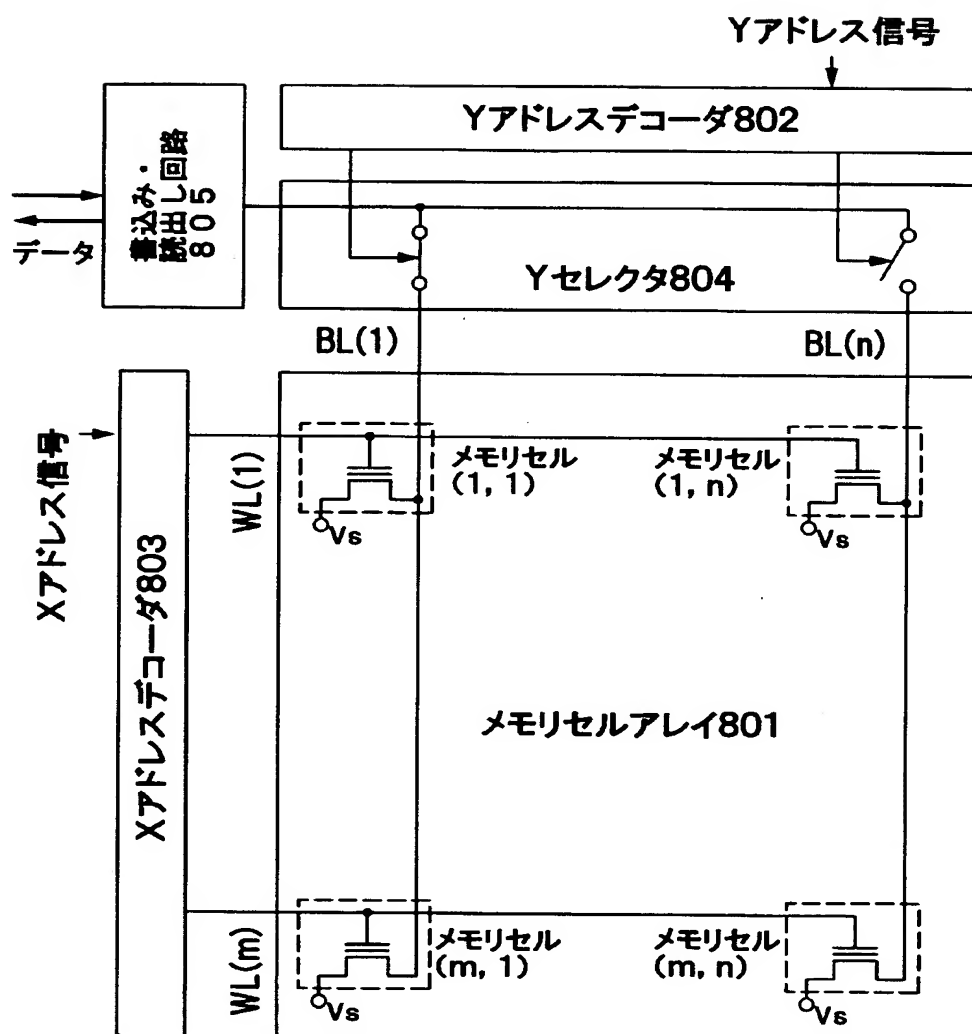
【図 6】



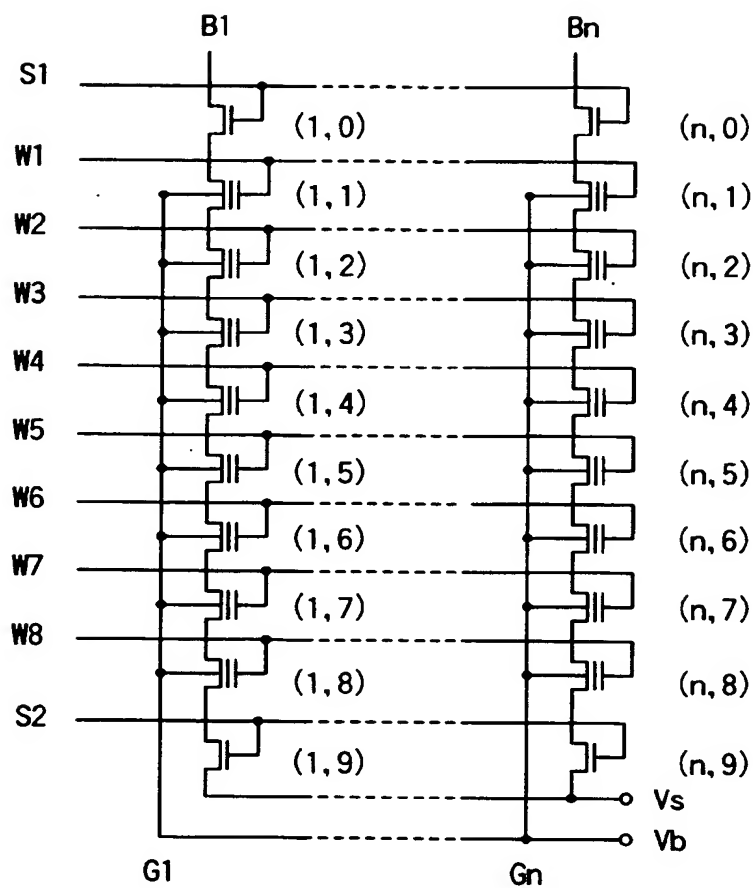
【図 7】



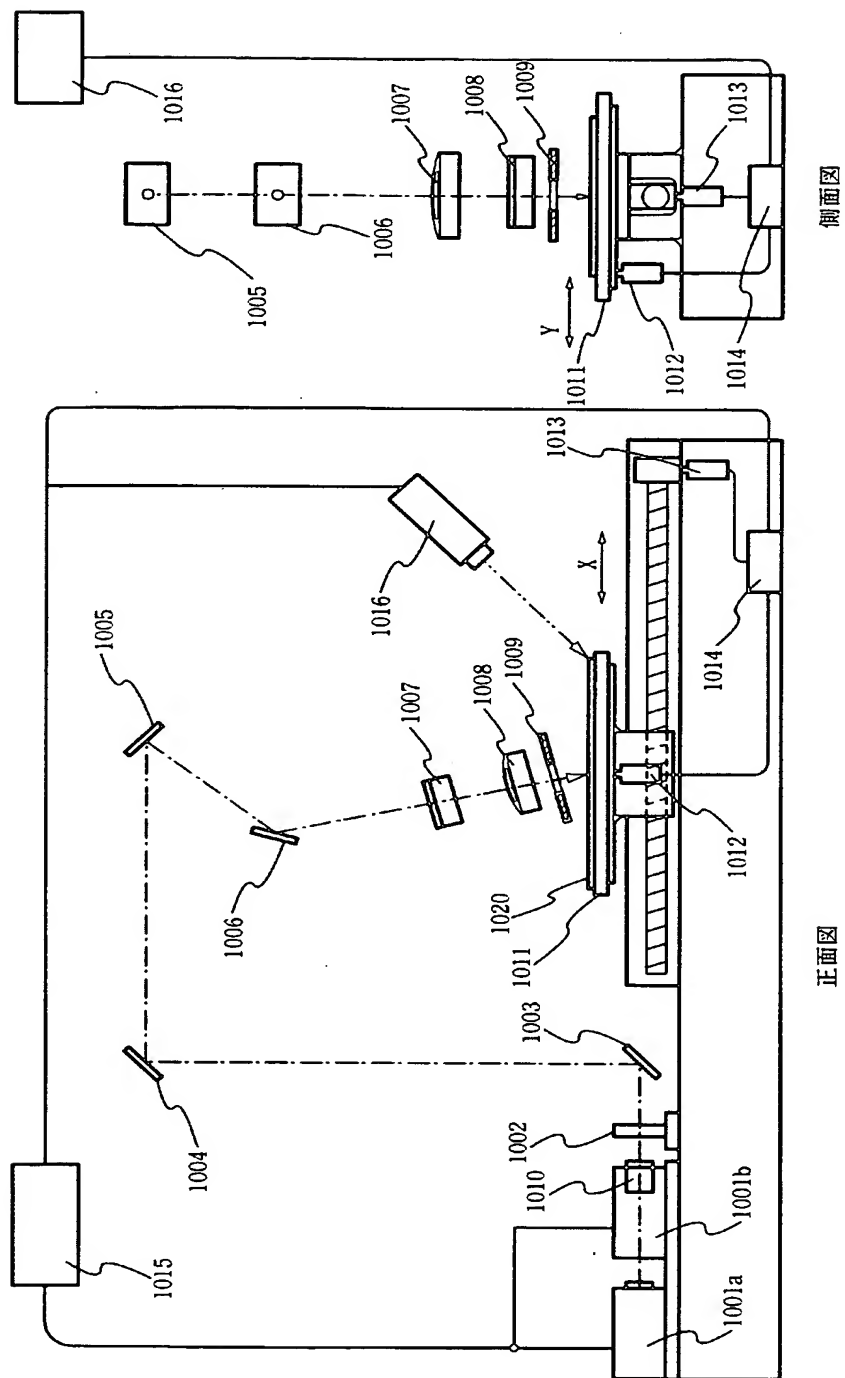
【図 8】



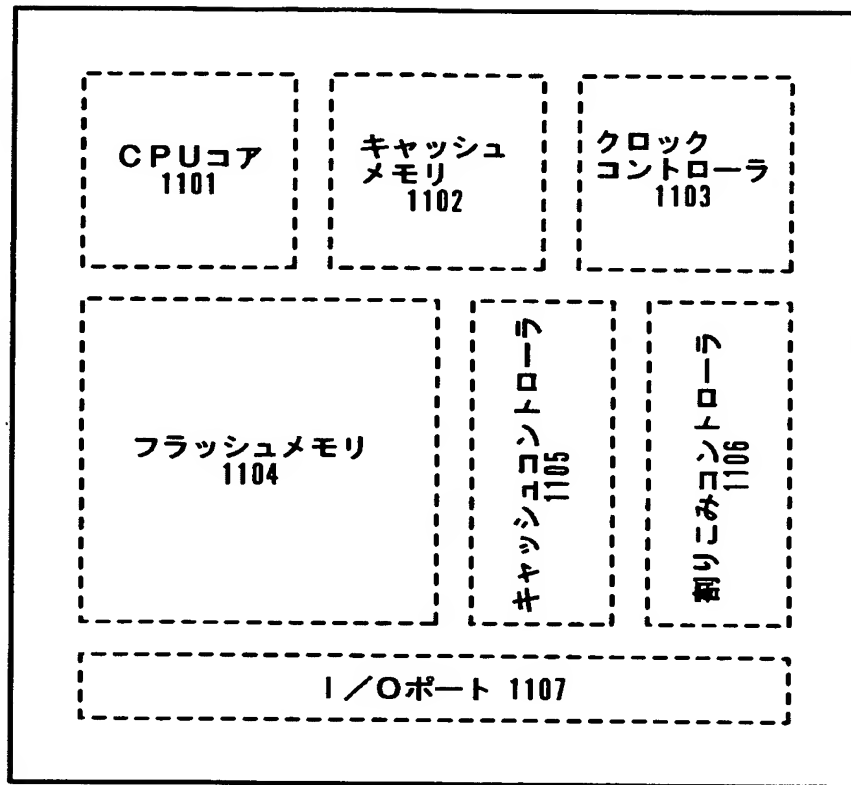
【図 9】



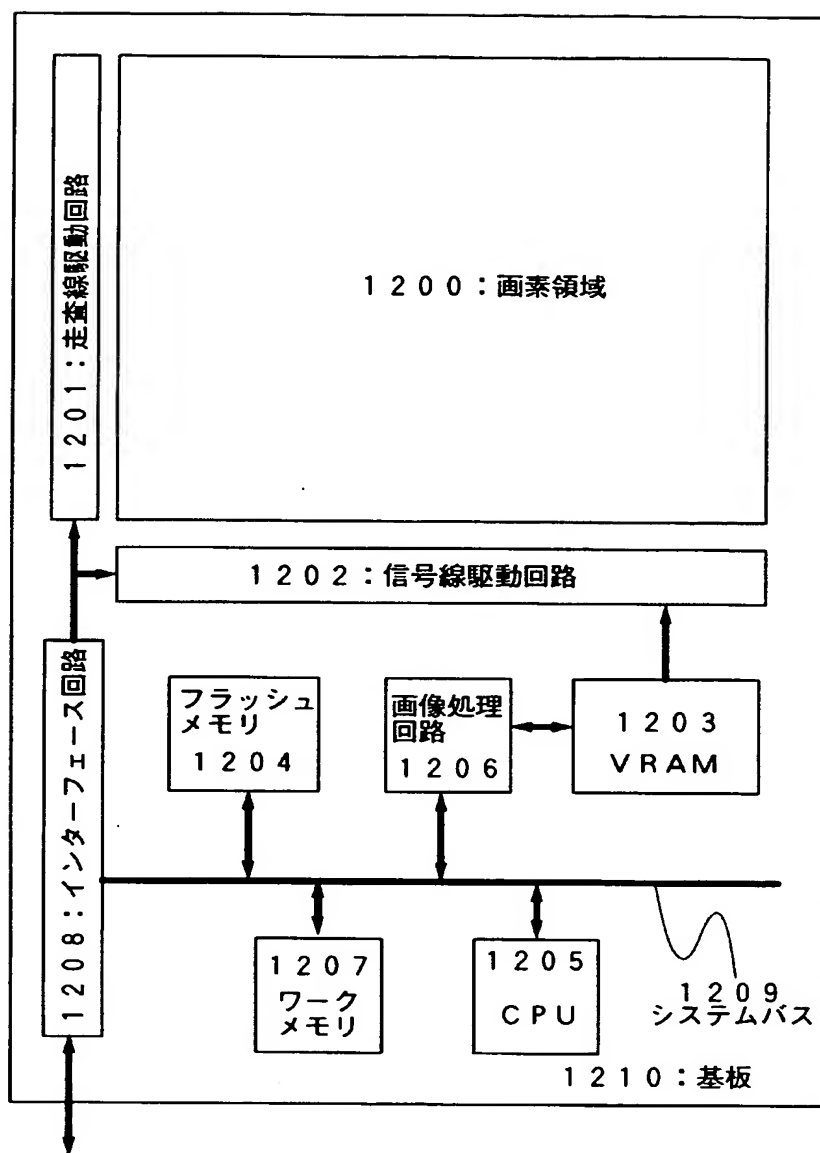
【図 10】



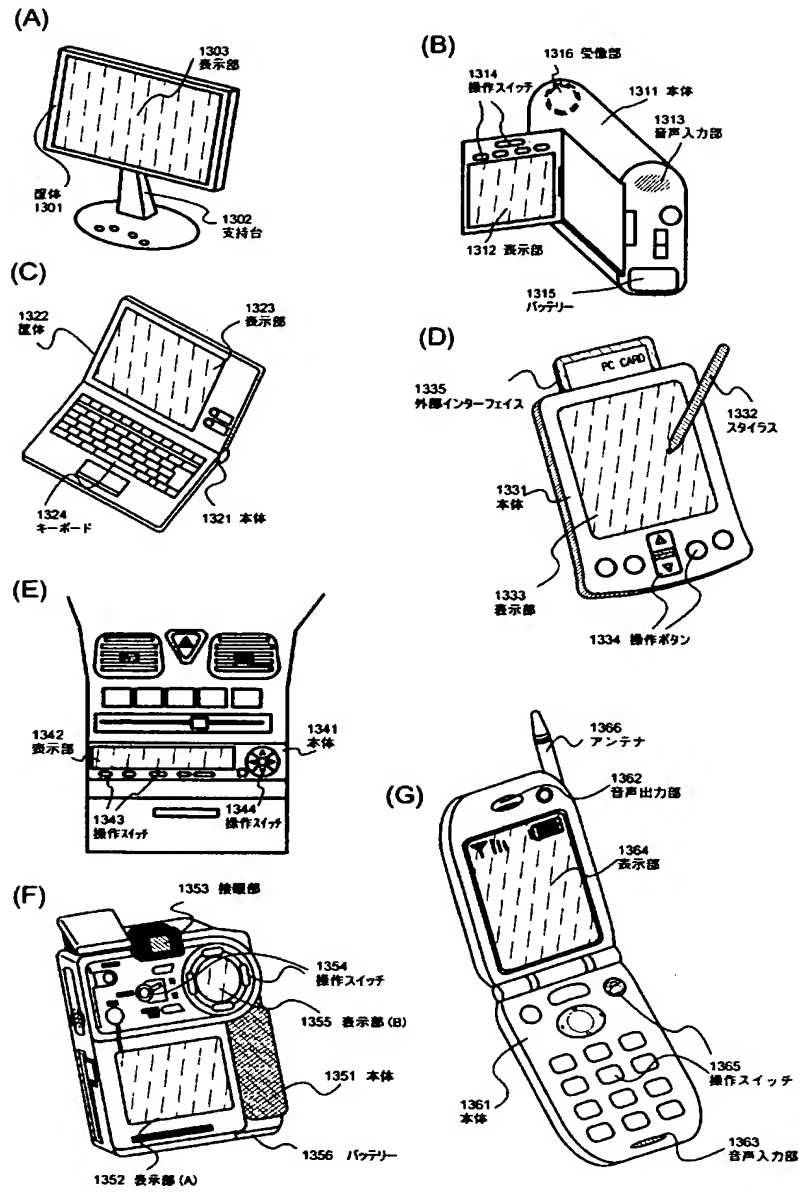
【図 11】



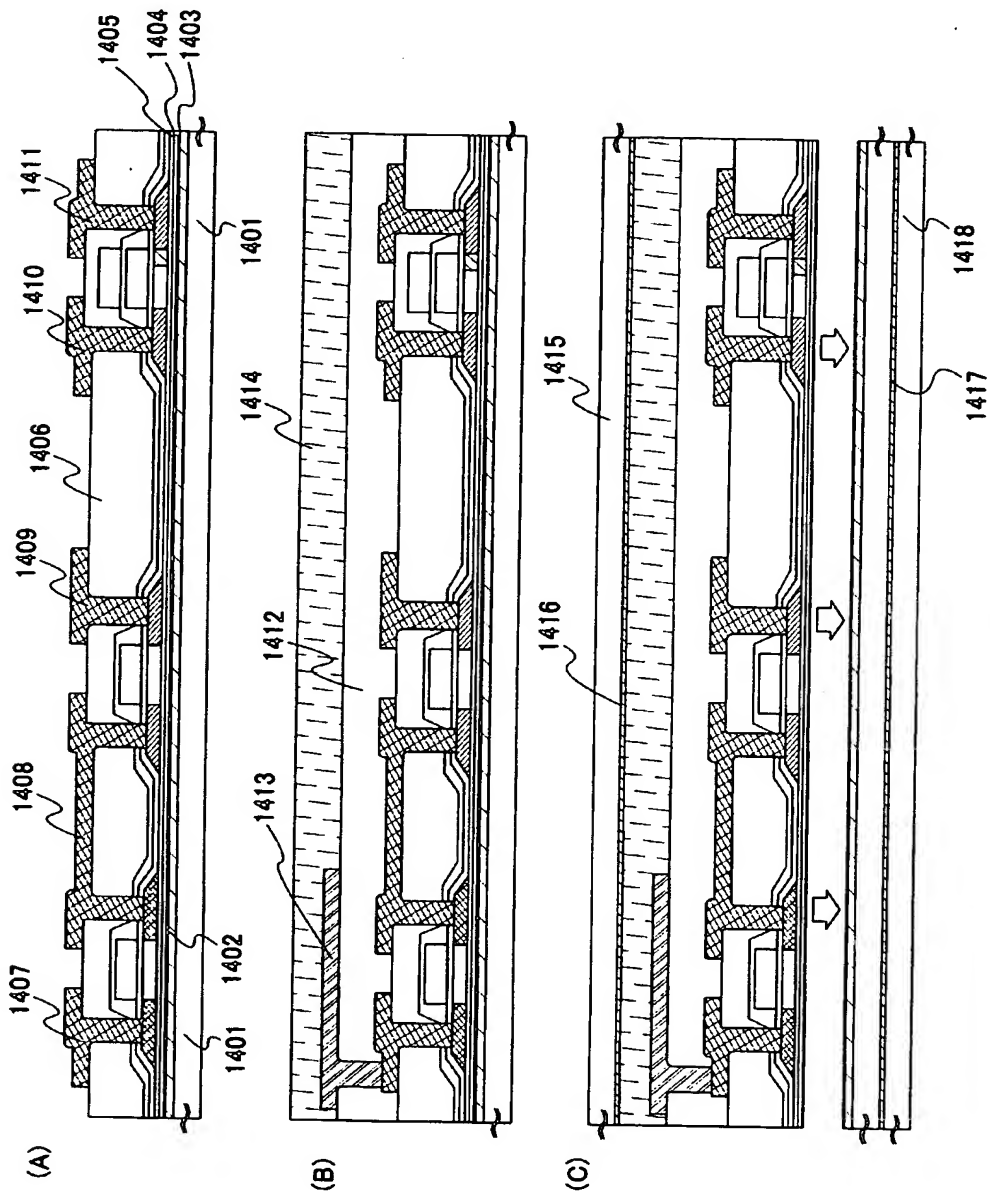
【図 12】



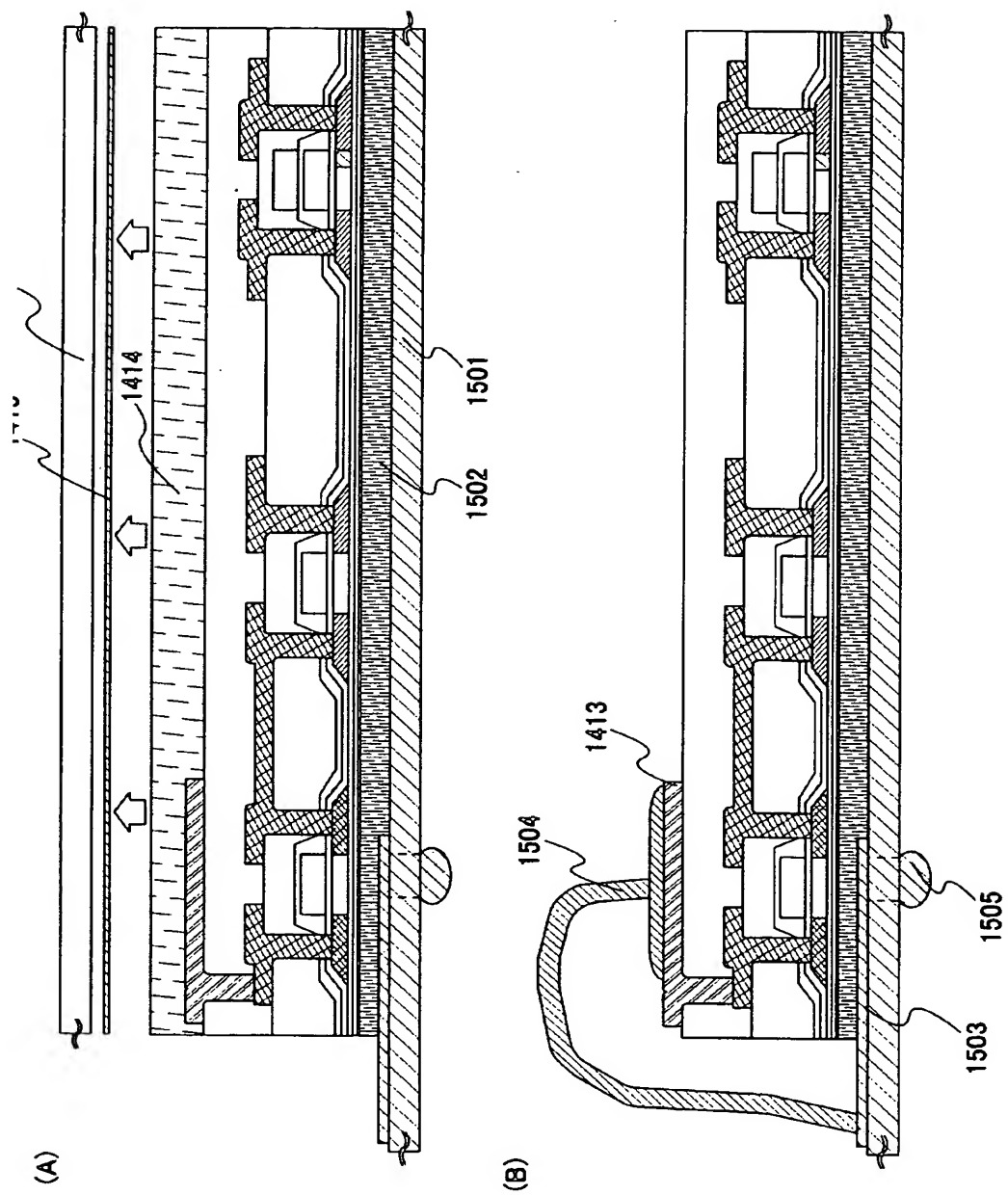
【図 13】



【図 14】



【図 15】





【書類名】 要約書

【要約】

【課題】 チャネル領域における活性層表面での極端な電界集中を抑え、かつ微細な半導体記憶素子を実現することで、信頼性が高く小型の不揮発性メモリを有する半導体記憶装置を提供することを目的とする。そして、信頼性の高い、小型の半導体記憶装置を提供する。

【解決手段】 絶縁表面を有する基板上に、金属元素を添加して加熱処理を行った後、連続発振レーザ照射を行う半導体活性層の結晶化プロセスを用いて、活性層表面が平坦で、かつ、微細な半導体記憶素子を作製する。このような半導体記憶素子を用いることで、信頼性の高い、小型の不揮発性メモリ、およびこれを有する半導体記憶装置が提供される。

【選択図】 図 1



特願 2 0 0 2 - 3 6 6 6 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所